

Patent Abstracts of Japan

PUBLICATION NUMBER : 09127918
PUBLICATION DATE : 16-05-97

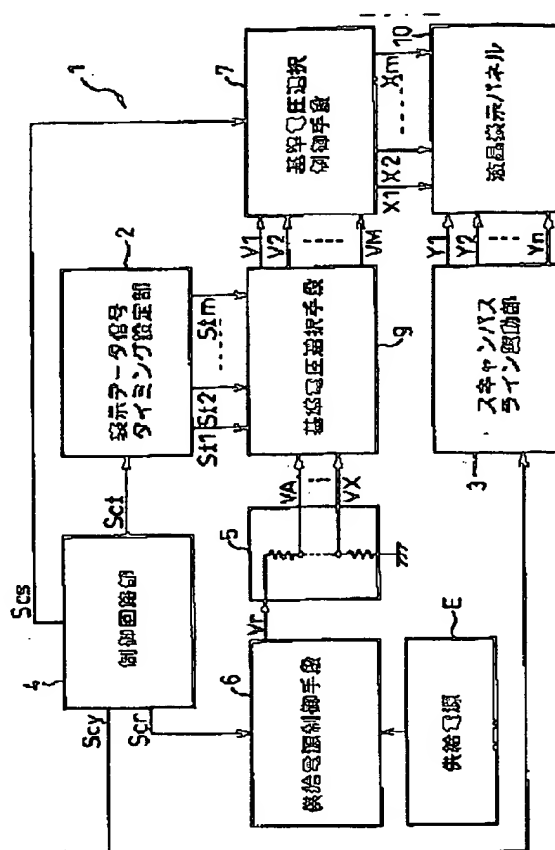
APPLICATION DATE : 06-11-95
APPLICATION NUMBER : 07287632

APPLICANT : FUJITSU LTD;

INVENTOR : FUJITA MASAYA;

INT.CL. : G09G 3/36 G02F 1/133 G02F 1/133

TITLE : DRIVE CIRCUIT FOR LIQUID CRYSTAL
DISPLAY DEVICE, LIQUID CRYSTAL
DISPLAY DEVICE AND DRIVING
METHOD THEREFOR



ABSTRACT : PROBLEM TO BE SOLVED: To reduce the area of the architecture portion of a liquid crystal display panel and reduce the power consumption in a circuit by cutting off the stationary current flowing in multiple split resistors for generating the reference voltage after the driving voltage corresponding to the selected reference voltage is written into the second bus line.

SOLUTION: The reference voltage corresponding to the driving voltage is selected by a reference voltage selecting means 9 from multiple reference voltages VA-VX generated when an optional feed power source E is voltage-divided by multiple split resistors, and it is fed to the second bus line. After the driving voltage is applied to the second bus line for a prescribed period, the feed of the driving voltage by the reference voltage selecting means 9 is stopped by a reference voltage selection control means 7. After the driving voltage is applied to the second bus line for a prescribed period, the feed of the voltage to the split resistors from the feed power source E is stopped by a power feed control means 6.

COPYRIGHT: (C)1997,JPO

【特許請求の範囲】

【請求項1】 液晶表示装置の液晶表示パネル（10）を構成する複数の画素に対し、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置の駆動回路において、

任意の供給電源を複数の分割抵抗により分圧することによって生成される複数の基準電圧から、前記駆動電圧に対応する基準電圧を選択して前記第2のバスラインに供給する基準電圧選択手段（9）と、

該第2のバスラインに対し、前記駆動電圧が予め定められた期間だけ印加された後は、前記基準電圧選択手段（9）による前記駆動電圧の供給を停止する基準電圧選択制御手段（7）と、

前記第2のバスラインに対し、前記駆動電圧が予め定められた期間だけ印加された後は、前記供給電源から前記分割抵抗への電圧供給を停止する供給電源制御手段（6）とを備えることを特徴とする液晶表示装置の駆動回路。

【請求項2】 前記駆動回路が、さらに、前記画素の走査のタイミング、および、前記の選択された画素への画像データ表示のタイミングを制御する制御回路部（4）を備えており、

前記基準電圧選択手段（9）による前記第2のバスラインへの前記駆動電圧供給開始のタイミング、前記基準電圧選択制御手段（7）による前記駆動電圧の供給停止のタイミング、および、前記供給電源制御手段（6）による前記分割抵抗への電圧供給停止のタイミングは、前記制御回路部（4）から送出される制御信号により決定される請求項1記載の駆動回路。

【請求項3】 前記基準電圧選択手段（7）が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセクタ（91～94）により構成され、

前記基準電圧選択制御手段（7）が、該セクタ（91～94）と前記第2のバスラインとの間に設けられ、かつ、前記制御回路部（4）からの制御信号に基づいて該セクタ（91～94）から前記第2のバスラインへ前記基準電圧を供給するか否かを制御する複数のスイッチ素子（S1～S4）により構成され、

前記供給電源制御手段（6）が、前記供給電源の電源端子側に接続され、かつ、前記制御回路部（4）からの制御信号に基づいて該供給電源から前記複数の分割抵抗へ電圧を供給するか否かを制御するスイッチ素子（SA）により構成される請求項2記載の駆動回路。

【請求項4】 前記基準電圧選択手段（7）が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセクタ（91～94）により構成され、

前記基準電圧選択制御手段（7）が、該セクタ（91～94）と前記第2のバスラインとの間に設けられ、かつ、前記制御回路部（4）からの制御信号に基づいて該セクタ（91～94）から前記第2のバスラインへ前記基準電圧を供給するか否かをそれぞれ制御する複数のスイッチ素子（S1～S4）により構成され、

前記供給電源制御手段（6）が、前記複数の分割抵抗と共に実装され、かつ、前記制御回路部（4）からの制御信号に基づいて前記複数の分割抵抗から前記基準電圧選択手段（7）へ前記基準電圧を供給するか否かを制御するアナログスイッチ（SAA～SAE）により構成される請求項2記載の駆動回路。

【請求項5】 前記基準電圧選択手段（7）が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセクタ（91～94）により構成され、

前記基準電圧選択制御手段（7）が、該セクタ（91～94）と前記第2のバスラインとの間に設けられ、かつ、前記制御回路部（4）からの制御信号に基づいて該セクタ（91～94）から前記第2のバスラインへ前記基準電圧を供給するか否かをそれぞれ制御する複数のスイッチ素子（S1～S4）により構成され、

前記供給電源制御手段（6）が、前記供給電源のアース端子側に接続され、かつ、前記制御回路部（4）からの制御信号に基づいて該供給電源から前記複数の分割抵抗へ電圧を供給するか否かを制御するスイッチ素子（SB）により構成される請求項2記載の駆動回路。

【請求項6】 前記基準電圧選択手段（7）が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセクタ（91～94）により構成され、

前記基準電圧選択制御手段（7）が、該セクタ（91～94）と前記第2のバスラインとの間に設けられ、かつ、前記制御回路部（4）からの制御信号に基づいて該セクタ（91～94）から前記第2のバスラインへ前記基準電圧を供給するか否かをそれぞれ制御する複数のスイッチ素子（S1～S4）により構成され、

前記供給電源制御手段（6）が、前記供給電源のアース端子側に接続され、かつ、前記制御回路部（4）からの制御信号に基づいて該供給電源から前記複数の分割抵抗へ電圧を供給するか否かを制御するスイッチ素子（SC）により構成され、

前記制御回路部（4）からの制御信号は、バッファ素子を介して該スイッチ素子（SC）に供給される請求項2記載の駆動回路。

【請求項7】 前記基準電圧選択手段（7）が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセクタ（91～94）により構成され、

前記制御回路部（4）から出力される表示データを前記

第1のラインの走査期間毎に表示するために、該表示データを一時的に保持する複数の記憶部と、

前記制御回路部(4)からの制御信号に基づいて該複数の記憶部から読み出される表示データを、前記第2のバスラインの各々に対応する表示データ信号に変換して該複数のセレクタ(91~94)に供給する複数のデコーダ(81A~84A)とが設けられ、

該複数のデコーダ(81A~84A)は、前記制御回路部(4)からの制御信号に基づいて該セレクタ(91~94)から前記第2のバスラインへ前記基準電圧を供給するか否かを制御する機能を有する請求項2記載の駆動回路。

【請求項8】 前記基準電圧選択手段(7)が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセレクタ(91~94)により構成され、

前記制御回路部(4)から出力される表示データを前記第1のラインの走査期間毎に表示するために、該表示データを一時的に保持する複数の記憶部と、

該複数の記憶部から読み出される表示データを、前記第2のバスラインの各々に対応する表示データ信号に変換して該複数のセレクタ(91~94)に供給する複数のデコーダ(81A~84A)とが設けられ、

該複数のデコーダ(81A~84A)は、前記制御回路部(4)からの制御信号に基づいて該セレクタ(91~94)から前記第2のバスラインへ前記基準電圧を供給するか否かを制御する機能を有しており、

前記複数のデコーダ(81A~84A)から前記表示データ信号が出力された時点で、前記制御回路部(4)からの制御信号に基づいて前記複数の記憶部がリセットされる請求項2記載の駆動回路。

【請求項9】 液晶表示装置の液晶表示パネル(10)を構成する複数の画素に対し、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置の駆動回路において、

任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電圧作成回路部(52)と、

該基準電圧作成回路部(52)から出力される複数の第1の基準電圧をさらに分圧し、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路手段(54)と、

該抵抗分割回路手段(54)から出力される複数の第2の基準電圧から、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して前記第2のバスラインに供給するセレクタ部(26)と、

前記基準電圧作成回路部(52)と前記抵抗分割回路手段(54)との間に配置される複数のバッファアンプか

ら構成されるバッファアンプ部(53)とを備え、前記第2のバスラインに前記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、前記バッファアンプ部(53)内の複数のバッファアンプをそれぞれ通した出力電圧を前記第2のバスラインに供給し、第2番目の期間では、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を前記第2のバスラインに供給することを特徴とする液晶表示装置の駆動回路。

10 【請求項10】 前記駆動回路が、さらに、前記画素の走査のタイミング、および、前記の選択された画素への画像データ表示のタイミングを制御する制御回路部(4A)と、

前記制御回路部(4A)からの制御信号に基づき、前記制御回路部(4A)から送出される表示データを、前記第2のバスラインの各々に対応する表示データ信号に変換して前記セレクタ部(26)に供給するデコーダ部(24)とを備え、

前記第1番目の期間では、前記制御回路部(4A)からの制御信号によって該デコーダ部(24)から前記セレクタ部(26)への前記表示データ信号の供給を抑止し、前記第2番目の期間では、該デコーダ部(24)から前記セレクタ部(26)への前記表示データ信号の供給を可能にする請求項9記載の駆動回路。

30 【請求項11】 液晶表示装置の液晶表示パネル(10)を構成する複数の画素に対し、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置の駆動回路において、

任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電源部(57)と、

該基準基準電源部(57)から出力される複数の第1の基準電圧をさらに分圧し、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路部(59)と、

40 該抵抗分割回路部(59)から出力される複数の第2の基準電圧から、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して前記第2のバスラインに供給するセレクタ部(27)とを備え、前記抵抗分割回路部(59)は、前記複数の第2の基準電圧を出力するための複数の分割抵抗と、該複数の分割抵抗の接続部と前記セレクタ部(27)との間に配置される複数のバッファアンプから構成されるバッファ回路手段(59P)とを含み、

前記第2のバスラインに前記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、バッファ回路手段(59P)内の複数のバッファアンプをそれぞれ通した出力電圧を前記第2のバスライン

に供給し、第2番目の期間では、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を前記第2のバスラインに供給することを特徴とする液晶表示装置の駆動回路。

【請求項12】 前記駆動回路が、さらに、前記画素の走査のタイミング、および、前記の選択された画素への画像データ表示のタイミングを制御する制御回路部(4B)と、前記制御回路部(4B)からの制御信号に基づき、前記制御回路部(4B)から送出される表示データを、前記第2のバスラインの各々に対応する表示データ信号に変換して前記セクタ部(27)に供給するデコーダ部(25)と備え、

前記第1番目の期間では、前記制御回路部(4B)からの制御信号によって該デコーダ部(25)から前記セクタ部(27)への前記表示データ信号の供給を抑止し、前記第2番目の期間では、該デコーダ部(25)から前記セクタ部(27)への前記表示データ信号の供給を可能にする請求項11記載の駆動回路。

【請求項13】 前記バッファ回路手段(59P)内の複数のバッファアンプの電源電圧が、前記基準電源部(57)から供給される請求項11または12記載の駆動回路。

【請求項14】 前記バッファ回路手段(59P)内の複数のバッファアンプの電源電圧が、前記駆動回路を構成する他の論理回路素子と共用の電源から供給される請求項11または12記載の駆動回路。

【請求項15】 複数の画素と、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを有する液晶表示パネル(10)と、

前記第1のバスラインおよび第2のバスラインを駆動する駆動回路とを備える液晶表示装置であって、該駆動回路は、

任意の供給電源を複数の分割抵抗により分圧することによって生成される複数の基準電圧から、前記駆動電圧に対応する基準電圧を選択して前記第2のバスラインに供給する基準電圧選択手段(9)と、

該第2のバスラインに対し、前記駆動電圧が予め定められた期間だけ印加された後は、前記基準電圧選択手段(9)による前記駆動電圧の供給を停止する基準電圧選択制御手段(7)と、

前記第2のバスラインに対し、前記駆動電圧が予め定められた期間だけ印加された後は、前記供給電源から前記分割抵抗への電圧供給を停止する供給電源制御手段(6)とを含むことを特徴とする液晶表示装置。

【請求項16】 複数の画素と、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動

電圧を供給する第2のバスラインとを有する液晶表示パネル(10)と、

前記第1のバスラインおよび第2のバスラインを駆動する駆動回路とを備える液晶表示装置であって、

該駆動回路は、

任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電圧作成回路部(52)と、

該基準電圧作成回路部(52)から出力される複数の第1の基準電圧をさらに分圧し、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路手段(54)と、

該抵抗分割回路手段(54)から出力される複数の第2の基準電圧から、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して前記第2のバスラインに供給するセクタ部(26)と、

前記基準電圧作成回路部(52)と前記抵抗分割回路手段(54)との間に配置される複数のバッファアンプから構成されるバッファアンプ部(53)とを含むことを特徴とする液晶表示装置。

【請求項17】 複数の画素と、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを有する液晶表示パネル(10)と、

前記第1のバスラインおよび第2のバスラインを駆動する駆動回路とを備える液晶表示装置であって、

該駆動回路は、

任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電源部(57)と、

該基準電源部(57)から出力される複数の第1の基準電圧をさらに分圧し、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路部(59)と、

該抵抗分割回路部(59)から出力される複数の第2の基準電圧から、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して前記第2のバスラインに供給するセクタ部(27)とを含むことを特徴とする液晶表示装置。

【請求項18】 複数の画素と、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置の駆動方法であって、

任意の供給電源を複数の分割抵抗により分圧することによって生成される複数の基準電圧から前記所定の画像データに対応する駆動電圧を選択し、前記第2のバスラインに対し前記駆動電圧を予め定められた期間だけ印加した後に、前記第2のバスラインへの前記駆動電圧の供給

を停止すると共に、前記第2のバスラインに対し前記駆動電圧を予め定められた期間だけ印加した後に、前記供給電源から前記分割抵抗への電圧供給を停止することを特徴とする液晶表示装置の駆動方法。

【請求項19】 複数の画素と、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置の駆動方法であって、

任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を生成してバッファアンプを通して出力し、前記第1の基準電圧をさらに複数の分割抵抗により分圧して第2の基準電圧を生成すると共に、

前記第2のバスラインに前記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、前記バッファアンプを通した出力電圧を前記第2のバスラインに供給し、第2番目の期間では、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を前記第2のバスラインに供給することを特徴とする液晶表示装置の駆動方法。

【請求項20】 複数の画素と、該画素を順次走査するための第1のバスラインと、該第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置の駆動方法であって、

任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を生成し、前記第1の基準電圧をさらに複数の分割抵抗により分圧して第2の基準電圧を生成すると共に、該第2の基準電圧のうち前記分割抵抗の接続点からの出力をバッファアンプを通して出力し、

前記第2のバスラインに前記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、前記バッファアンプを通した出力電圧を前記第2のバスラインに供給し、第2番目の期間では、前記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を前記第2のバスラインに供給することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置〔通常、LCD（Liquid Crystal Display Device）と略記される〕の液晶表示パネルを構成する複数の画素中の選択された画素に対し、目的とする画像データを表示するためのアナログの駆動電圧を供給するための液晶表示装置の駆動回路、この種の駆動回路を備えた液晶表示装置、ならびに液晶表示装置の駆動方法に関する。

【0002】特に、本発明は、上記画素を順次走査する

ための互いに平行な複数本の第1のバスライン（一般に、スキャンバスラインとよばれる）と、これらの第1のバスラインと直交し、表示すべき階調に応じた画像データの書き込み用電圧（駆動電圧）を供給するための第2のバスライン（一般に、データラインとよばれる）との各交点に配置された液晶セルの画素に接続されるTFT（Thin Film Transistor：薄膜トランジスタ）等のオン・オフ動作を利用し、選択すべき画素に画像データを書き込んで階調表示を行うためのアクティブ・マトリクス形の液晶表示装置を対象とする。

【0003】一般に、持ち運び可能なパーソナルコンピュータには、薄型かつ軽量の表示装置、例えば液晶表示装置が使用される。この種の液晶表示装置は、CRT（Cathode-Ray Tube：陰極線管）を代替する表示装置として期待されており、その技術開発が盛んに行われている。その中でも、特に、上記のTFTによる駆動方式を用いたアクティブ・マトリクス形の液晶表示装置は、表示速度が速く、また、表示品質に優れていることから大いに有望である。

【0004】ところで、近年のアプリケーションソフトでは、光の3原色である赤、青および緑の各々の濃淡（階調）のさまざまな組み合わせにより種々の色を表示するための多色表示方式が一般化している。このため、各原色の表示可能な階調が少ない場合には、このようなアプリケーションソフトの性能を十分に発揮させることができない。そこで、上記の液晶表示装置においては、表示すべき階調データに応じて種々の大きさの書き込み電圧を発生させることが可能な多階調表示に適した駆動回路が必要となる。

【0005】

【従来の技術】以下、図36～図40を参照しながら、上記のTFTを用いたアクティブ・マトリクス形の液晶表示装置、およびその駆動回路の従来の構成例を説明する。図36および図37は、従来の液晶表示装置の構成を示す回路ブロック図（その1およびその2）であり、図38および図39は、図36および図37の従来の液晶表示装置の主要部を示す回路ブロック図（その1およびその2）であり、図40は、図37の液晶表示パネルの詳細例を示す回路図である。

【0006】ただし、ここでは、液晶表示装置の説明を簡単にするために、液晶表示パネル10の画素数が4×4のマトリクスにより構成されるものとし、また、画像データの表示を制御する方式はいわゆるデジタル・ドライバ方式として示している。図36および図37の液晶表示装置における液晶表示パネル10（図37）を構成するP11～P44が、画像データを表示するための最小単位である複数の画素を表している。さらに、図40に示すように、これらの複数の画素P11～P44には、それぞれ、TFTからなるトランジスタ・スイッチ素子Q11～Q44が接続されている。これらのトラン

ジスタ・スイッチ素子Q11~Q44は、各画素の液晶容量Cmn[m、nは、それぞれ、データラインの数(列電極の数)とスキャンバスラインの数(行電極の数)を表す:ここでは、m、n=1~4、C11~C44]に画像データの階調表示用の信号電圧を書き込むときのスイッチの役目を果たす。図40において、横方向の画素の並び、すなわち、スキャンバスラインY1~Y4に沿った方向の画素の並びは1ラインとよばれている。液晶表示装置への画像表示用のデータは、このスキャンバスラインの1ライン毎に書き込まれ、それを1秒間に60

10 回程度繰り返して、人間の目にはちらつきのない画像として見せる。
【0007】さらに、図40に示すように、データラインX1~X4は、分布抵抗r11~r44と分布容量c11~c44からなる一種の分布定数回路からなっている。分布抵抗は、データラインを形成する材料の抵抗により形成され、分布容量cは、データラインおよび対向電極間に挟まれた液晶を誘電体とする容量、および、データラインとスキャンバスラインとの交差部の絶縁物を誘電体とする容量の合成値を主要成分として形成される。

【0008】実際の液晶表示装置における液晶表示パネル10内の画素数は、一般に、図36~図40の従来の液晶表示装置の説明図よりもっと多い。典型的には、液晶表示パネル10の横方向(スキャンバスラインに沿った方向)に640、縦方向(データラインに沿った方向)に480程度の画素を有する液晶表示装置が一般に出回っているが、この場合、説明を簡単にするために、4×4のマトリクスにより構成される液晶表示装置を例示している。さらに、カラー表示を行うためには、R

30 (Red:赤色)、G(Green:緑色)およびB(Blue:青色)毎に画素を持つことが必要となる。
【0009】ここで、図36および図37に基づき、各画素に対し正しく画像データが書き込まれることを説明する。図36および図37においては、後述のデータドライバ部200およびスキャンドライバ30を含むすべての駆動回路の動作を制御する制御回路部400が設けられている。この制御回路部400には、画像データを表示する際の走査の周期を示す水平同期信号(すなわち、1ライン毎の周期を示す信号)HS、および、1フレーム毎の画像データを表示面の上端から入力するための垂直同期信号(すなわち、1フレーム毎の周期を示す信号)VS等の制御信号が入力される。さらに、上記制御回路部400に入力されるD1~DNは2進数の画像データを表し、Nは階調表示を行うためのビット数を表している。さらにまた、上記制御回路部400に入力されるCLKは、画像データと同期して与えられるタイミング信号(クロック信号)を表している。このクロック信号により、画像データD1~DNの書き込み用のタイ

10 は、水平同期信号HSの周期を計測することにより駆動回路の内部で生成することが可能であり、インタフェースとして本質的に必要とするものではない。

【0010】さらに、図36において、210はシフトレジスタを表している。このシフトレジスタ210では、1ライン毎の画像データの表示開始を示すスタート信号T1、および、レジスタ歩進用のクロックCK1が、1ライン毎に制御回路400から送出されたときに、第1のメモリ610~640内に表示用のデータを順次書き込むためのタイミング信号TS1~TS4が生成される。これらの第1のメモリ610~640は、それぞれNビットの容量を持つメモリから構成されており、Nビットの並列形式の画像データDT1~DTNが第1のメモリ610~640内にそれぞれ記憶される。第2のメモリ710~740も、やはり、それぞれNビットの容量をもつメモリから構成される。このような構成では、第1のメモリ610~640に画像データが書き込まれた後、次のライン(スキャンバスライン)のデータが到来する前に、第1のメモリ610~640に蓄積されたデータを書き込み制御信号T2によって、第2

20 のメモリ710~740に1ライン分同時に書き込む。
【0011】さらに、図36において、第2のメモリ710~740の出力側には、セクタ910~940が設けられている。これらのセクタ910~940は、第2のメモリ710~740に蓄積されたデジタル・データに対応するアナログ信号を発生させるための一種のデジタル・アナログ変換回路である。セクタ910~940と第2のメモリ710~740との間に設けられたデコーダ810~840は、2進数で与えられる画像データをデコードしてセクタ910~940内の各一個のみのアナログスイッチをオンにするための信号を発生させる。このようにして、セクタ910~940は、V1~VMのM種の電圧のいずれか一つを選択してデータラインX1~X4に出力する。V1~VMのM種の電圧と第2のメモリ710~740に蓄積されたNビットのデータに関していえば、これらのデータが2進数の場合は $M=2^N$ という関係となる。例えば、 $N=3$ の場合は $M=8$ となり、 $N=4$ の場合は $M=16$ となる。

40 【0012】上記のシフトレジスタ210、第1のメモリ610~640、第2のメモリ710~740、デコーダ810~840、およびセクタ910~940の部分をもとめた回路全体は、データドライバ(DD:Data Driver)部として集積回路化(IC化)されているのが通常の形態であり、図36内で200と示されている。さらに、図36において、複数種の基準電圧VA~VXを発生させるための基準電源500は、通常、集積回路の中には含まれない。この理由として、表示装置の駆動回路を構成するために必要とされるデータドライバ

50 部は、通常、複数個のICで構成するのに対して、基準

電源部500は共通に一個でよいこと、および、大電流を供給できる電圧源を集積回路の中で構成することは得策ではないことが挙げられる。

【0013】さらに、図36のデータドライバ部200の中で510と示された部分は、基準電源部500から出力される第1の基準電圧VA~VXに基づき、複数の分割抵抗により分圧することによってV1~VMのM種の第2の基準電圧を作り出す回路、すなわち、抵抗分割回路部である。図38および図39に示す液晶表示装置（駆動回路も含む）の主要部の構成では、5種の第1の基準電圧VA~VEから、V1~V8といったような約2倍の種類（8種）の第2の基準電圧を最終的に作り出す例が示されている。この場合、複数の分割抵抗における分割の数を増やすことにより、さらに多種類の基準電圧を作り出すことが可能である。

【0014】データドライバ部200から出力されてデータラインX1~X4にそれぞれ送られるデータ電圧を、TFTを通して液晶容量に書き込むためには、アナログスイッチであるTFTのゲート電圧を制御して同TFTのスイッチ機能をオン・オフする必要がある。このような機能を果たすのがスキャンドライバ（SD：Scan Driver）部30である。このスキャンドライバ部30は、シフトレジスタ31およびドライバユニットDV1~DV4から構成される。シフトレジスタ31は、スタート信号T3により動作を開始しクロックCK2により歩進するシフトレジスタである。スタート信号T3は垂直同期信号と同じ周期を持ち、クロックCK2は水平同期信号と同じ周期を持つ。シフトレジスタ31は、液晶表示パネル10の1ライン毎のTFTをオンにするための信号（スキャン信号とよばれる）を順次発生させる。

【0015】さらに、図37のドライバユニットDV1~DV4は、シフトレジスタ31の出力から、TFTのオン・オフ動作を制御できる電圧にレベル変換するための変換回路の機能を有しており、TFTをオフとすることが可能な電圧と、オンとすることが可能な電圧のいずれかを発生させる2値出力回路であるといえる。図38および図39は、図36および図37に示した複数のアナログスイッチ（図38では、8個）を含むセクタ910、デコータ810、抵抗分割回路部510および基準電源部500の詳細例を示したものであり、セクタ910の中の一つのアナログスイッチのみをオンとしてV1~V8の中から一つの電圧を選択する例を示している。つまり、この場合は、前述のNが3の場合の例が示されている。

【0016】さらに詳しく説明すると、デコータ810（図38）は、2進数の画像データD1~D3が入力される3個のNOT素子850-1~850-3と、これらのNOT素子850-1~850-3から出力される画像データをデコードする4個のAND素子860-1~860-4と、これらのAND素子860-1~86

0~4の出力側に接続され、セクタ910~940内の8個のアナログスイッチの一つをオンにするための制御信号を生成するNOR素子870-1~870-8を有している。

【0017】さらに、基準電源部500は、一つの供給電源VRと、この供給電源VRを分圧して5種の第1の基準電圧VA~VEを作り出すための5個の分割抵抗RA~REと、これらの分割抵抗RA~REからの基準電圧を抵抗分割回路部510に送出するバッファアンプA1~A5とを有している。抵抗分割回路部510は、バッファアンプA1~A5からの5種の第1の基準電圧VA~VEをさらに分圧して8種の第2の基準電圧V1~V8を生成するための8個の分割抵抗R1~R8を有している。

【0018】図36および図37に示した例は、従来の駆動方法を説明するために、4×4といったような単純な画像としているが、前述したように、実際の液晶表示装置では横方向に640、縦方向に480ラインの合計640×480=307,200個の画素を駆動するのが通例であり、このためのデータドライバ部は極めて大規模のものを必要とする。しかも、各画素はカラー表示を行うためにR、GおよびBの別々の画素を必要とするため、画素数の合計は上記の数値の3倍となる。さらに、カラー表現をよりフルカラーに近づけるための階調表示を実現するためには、図36および図37にて説明したデータドライバ部のビット数を増やす必要がある。図38および図39においては、3ビットで8値のデータドライバ部を備えた例が示されているが、さらにフルカラーとよばれる26万色を表現するために各色で必要とする階調の数は64である。この場合、各セクタ内のアナログスイッチの数は64個必要であり、また、抵抗分割回路部510からの電圧の数は64個必要となる。データドライバ部20を含むドライバを構成するICは、通常、MOS（Metal Oxide Semiconductor）の製造技術に基づいて形成される。MOSの製造技術に関していえば、アナログスイッチを小さく作することは非常に得意であり、大きな問題はない。しかしながら、最終的な基準電圧の数を64個とすることは、図47に示されるような液晶表示装置における複数の集積回路（IC1およびIC2）42、44の端子部分で64個の端子を必要とすることになり、これが多階調のドライバを実用化する上で一つの大きな問題となる。

【0019】上記のように、必要な端子数が増大すると、図47に示すように、この基準電源線Lrの配線の領域が大きな幅をとるようになる。それゆえに、液晶表示パネル10の表示画面の額縁部分を小さくすることができず、液晶表示装置を小さくすることができない結果となる。このため、液晶表示装置の有用な応用としての携帯性のノート型パーソナルコンピュータの表示画面を大きくすることが難しくなる。このような問題に対処す

る方法として、特に図36に示した抵抗分割回路部510により、集積回路42、44までの信号線数を少なくし、集積回路の内部で基準電圧の数を増やす試みがなされてきた。

【0020】

【発明が解決しようとする課題】しかしながら、上記のような従来の液晶表示装置の駆動方式においても、なおかつ問題が生ずる。この従来の液晶表示装置の駆動回路を使用して液晶表示パネルを駆動した場合の問題点を下記の図41～図46に示す。図41および図42は、従来の液晶表示装置の駆動回路の問題点を説明するための回路図（その1およびその2）であり、図43は、従来の液晶表示装置の駆動回路の問題点を説明するためのタイミングチャートであり、図44および図45は、従来の方式の問題点をより詳細に説明するための等価回路図（その1およびその2）であり、図46は、従来の方式の問題点をより詳細に説明するためのタイミングチャートである。

【0021】従来の液晶表示装置の駆動回路において、特に問題となることは、抵抗分割回路部に定常的に流れる電流によって余分な電力消費が生ずることである。具体的には、図41および図42に示すように、抵抗分割回路部から液晶表示パネルへ流入する電流 I_t はデータライン（例えば、 $X1$ ）の分布容量 $c_{11} \sim c_{41}$ への充電を終えると、零となる過渡電流である。これに対し、基準電源部から抵抗分割回路部に供給される電流 I_s は定常電流であり、一定値のままである。これらの過渡電流 I_t と定常電流 I_s 、および、データライン $X1$ 上の電圧 V_{X1} （以後、単に V_X と称する）が、水平同期信号 HS や、スキャンバスライン $Y1 \sim Y4$ に供給されるスキャン信号や、書き込み制御信号 $T2$ に対して変化する様子を図43、図42に示す。定常電流 I_s の電流値は、分割抵抗の分割抵抗値を大きくすれば、それに反比例して小さくすることができるが、上記の分割抵抗値を大きくした場合、図46に示すように、電圧充電の時定数が大きくなり、スキャンバスライン $Y1 \sim Y4$ にスキャン電圧が供給される期間内に、正確な階調電圧を液晶容量に書き込むことができなくなる。

【0022】ここで、上記の分割抵抗に起因する問題点の理解を容易にするために、図44および図45の等価回路図に基づいて数値計算を行った例を示すこととする。なお、図44および図45に示す記号 R 、 RS 、 RD および C は、それぞれ、分割抵抗の抵抗値、アナログスイッチの等価抵抗の抵抗値、データラインの等価抵抗の抵抗値、および、データラインの等価分布容量の容量値（キャパシタンス）を示すこととする。

【0023】例えば、一個の分割抵抗の抵抗値 R を $1k\Omega$ とし、データラインの等価分布容量の容量値 C を $100pF$ （ピコファラッド）として、データライン数を240とすると、図44より、抵抗分割回路部の等価出力

抵抗は最悪（すべての画像データが同一の場合）、 $NR/2 = 240 \times 1000 / 2 = 120k\Omega$ となり、アナログスイッチの等価抵抗の抵抗値 RS とデータラインの等価抵抗の抵抗値 RD を零としても、充電の時定数は $120k\Omega \times 100pF = 12\mu sec$ （マイクロ秒）となり、データラインの充電時間として許された時間である $20\mu sec$ 〔VGA（Video Graphic Array）画素数の場合の典型例〕の間では、電圧 V_X の最終値の81%までしか充電することができない。

10 【0024】これに対し、分割抵抗の抵抗値 R を 250Ω とした場合は、充電の時定数は $3\mu sec$ となり、 $20\mu sec$ の間では、99.8%まで充電することができる。この計算では、抵抗値 RS と抵抗値 RD を零としたが、抵抗値 RS は数 $k\Omega$ 程度が実際に実現できる値であり、抵抗値 RD は $10 \sim 20k\Omega$ が実際の典型例であるため、分割抵抗の抵抗値は、もう少し小さい値とする必要がある（図45参照）。

【0025】例えば、分割抵抗の抵抗値 R を 100Ω とすると、最悪の等価抵抗の抵抗値は $12k\Omega$ となり、データラインの抵抗を $20k\Omega$ 、アナログスイッチのオン抵抗を $5k\Omega$ とすると、充電の時定数は、 $(12 + 20 + 5)k\Omega \times 100pF = 3.7\mu sec$ となり、先例と同じ計算では99.5%まで充電できることになる。

【0026】上記の計算例からわかるように、分割抵抗の各々の抵抗値は 100Ω 程度の大きさとする必要があり、この場合、ある基準電圧 V_8 と他の基準電圧 V_1 との差を3V（通常の液晶表示装置の駆動で必要とする典型例）とすると、定常電流 I_s は $3/800\Omega = 3.75mA$ となる。したがって、分割抵抗を有する部分の消費電力は、基準電圧 V_8 の電圧値を5Vとすると、 $5V \times 3.75mA = 19mW$ となる。この値は、データライン数240に対する計算例であり、VGA画素を持つカラーの液晶表示装置の場合のデータライン数 $640 \times 3 = 1920$ に対しては、この8倍として $19mW \times 8 = 152mW$ を消費することになる。

【0027】上記のように、分割抵抗の抵抗値は液晶表示パネルの特性に合った値とする必要があるが、抵抗値が小さすぎると消費電力が増加し、抵抗値が大きすぎると液晶表示パネルへの書き込み電圧が不足するという問題がある。また一方で、IC化したデータドライバ部においては、この分割抵抗の値を液晶表示パネルの特性に合わせて変えることは困難であり、駆動能力に余裕を持たせた分割抵抗値とせざるを得ないため、余分の消費電力が生じてしまうという欠点がある。今後、TFT型カラー液晶表示パネルを組み込んだノート型パーソナルコンピュータの急速な普及が予想されるが、このためには、低消費電力型の液晶表示パネルの駆動回路が必要となることはいままでの間もない。ここに示す従来の駆動方式は、液晶表示パネルの表示画面の額縁部分を小さくすることができるという点では優れた方式であるにもかかわらず

らず、抵抗分割回路部内の分割抵抗により消費電力が増加する等の問題が生ずることは明らかである。

【0028】本発明は上記問題点に鑑みてなされたものであり、液晶表示パネルの額縁部分の面積を小さく保ちつつ回路内での消費電力の節減が図れると共に、画像データの表示速度が速く表示品質に優れた液晶表示パネルを実現することが可能な液晶表示装置の駆動回路、この種の駆動回路を備えた液晶表示装置、ならびに液晶表示装置の駆動方法を提供することを目的とするものである。

【0029】

【課題を解決するための手段】図1は本発明の第1の原理構成を示すブロック図であり、図2は本発明の第1の原理構成を変形した例を示すブロック図である。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表すこととする。図1および図2の第1の原理図に示すように、本発明では、液晶表示パネル10を構成する複数の画素P11～P44に対し、これらの画素を順次走査するための第1のバスライン（すなわち、スキャンバスラインY1～Yn）と、この第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスライン（すなわち、データラインX1～Xm）とを配置してなる液晶表示装置1の駆動回路を対象にしている。

【0030】さらに、上記問題点を解決するために、本発明の液晶表示装置1の駆動回路は、任意の供給電源Eを複数の分割抵抗により分圧することによって生成される複数の基準電圧VA～VXから、上記駆動電圧に対応する基準電圧を選択して第2のバスラインに供給する基準電圧選択手段9と、これらの第2のバスラインに対し、上記駆動電圧が予め定められた期間だけ印加された後は、基準電圧選択手段9による上記駆動電圧の供給を停止する基準電圧選択制御手段7（または7'）と、第2のバスラインに対し、上記駆動電圧が予め定められた期間だけ印加された後は、上記供給電源Eから上記分割抵抗への電圧供給を停止する供給電源制御手段6とを備えている。上記の基準電圧VA～VXは、複数の分割抵抗を含む基準電圧生成手段5により第2のバスラインの各々に対し生成され、基準電圧選択手段9内で複数種の電圧V1～VM（Mは基準電圧の数よりも多い値）に変換される。

【0031】さらに、図1および図2の駆動回路においては、基準電圧選択制御手段7は、基準電圧選択手段9に対し直列に設けられている。また一方で、図1の駆動回路においては、基準電圧選択制御手段7'は、基準電圧選択手段9に対し並列に設けられている。この基準電圧選択制御手段7'は、上記の基準電圧選択制御手段7と等価な機能を有している。

【0032】好ましくは、本発明の駆動回路は、複数の画素の走査の走査のタイミング、および、上記の選択さ

れた画素への画像データ表示のタイミングを制御する制御回路部4を備えている。さらに、画像データをデコードして第2のバスライン毎の画像データ信号St1～Stmを生成し、制御回路部4からの制御信号Sctに基づき画像データ信号の表示のタイミングを最終的に設定する表示データ信号タイミング設定部2が設けられている。

【0033】さらに、図1および図2においては、上記基準電圧選択手段9による第2のバスラインへの駆動電圧供給開始のタイミング、上記基準電圧選択制御手段7による駆動電圧の供給停止のタイミング、および、上記供給電源制御手段6による複数の分割抵抗への電圧供給停止のタイミングは、上記制御回路部4から送出される制御信号Sct、Scs（またはScp）およびScrによりそれぞれ決定される。

【0034】さらに、図1および図2においては、第1のバスラインの1ライン毎に画素を走査するための電圧を供給するスキャンバスライン駆動部3が設けられている。このスキャンバスライン駆動部3による1ライン毎の走査のタイミングは、制御回路部4からの制御信号Scyによって決定される。さらに、好ましくは、上記基準電圧選択手段7（または7'）は、上記駆動電圧に対応する基準電圧を選択して第2のバスラインにそれぞれ供給する複数のセレクトにより構成される。さらに、上記基準電圧選択制御手段7は、これらのセレクトと第2のバスラインとの間に設けられ、かつ、制御回路部4からの制御信号に基づいて上記セレクト91～94から第2のバスラインへ基準電圧を供給するか否かを制御する複数のスイッチ素子により構成される。さらにまた、上記供給電源制御手段6は、供給電源Eの電源端子側に接続され、かつ、制御回路部4からの制御信号に基づいて供給電源Eから複数の分割抵抗へ電圧を供給するか否かを制御するスイッチ素子により構成される。

【0035】さらに、好ましくは、基準電圧選択制御手段7（または7'）は、上記セレクトと第2のバスラインとの間に設けられ、かつ、制御回路部4からの制御信号に基づいて上記セレクトから第2のバスラインへ基準電圧を供給するか否かをそれぞれ制御する複数のスイッチ素子により構成される。さらに、上記供給電源制御手段6は、複数の分割抵抗と共に実装され、かつ、制御回路部4からの制御信号に基づいて複数の分割抵抗から基準電圧選択手段7へ基準電圧を供給するか否かを制御するアナログスイッチにより構成される。

【0036】さらに、好ましくは、上記供給電源制御手段6は、供給電源Eのアース端子側に接続され、かつ、制御回路部4からの制御信号に基づいて供給電源Eから複数の分割抵抗へ電圧を供給するか否かを制御するスイッチ素子により構成される。さらに、好ましくは、上記供給電源制御手段6は、供給電源Eのアース端子側に接続され、かつ、制御回路部4からの制御信号に基づいて

供給電源Eから複数の分割抵抗へ電圧を供給するか否かを制御するスイッチ素子により構成されており、制御回路部4からの制御信号は、バッファ素子を介してスイッチ素子に供給される。

【0037】さらに、好ましくは、本発明の駆動回路では、制御回路部4から出力される表示データを第1のラインの走査期間毎に表示するために、この表示データを一時的に保持する複数の記憶部と、制御回路部4からの制御信号に基づいて上記複数の記憶部から読み出される表示データを、上記第2のバスラインの各々に対応する表示データ信号に変換して複数のセレクト部に供給する複数のデコーダとが設けられている。さらに、これらの複数のデコーダは、制御回路部4からの制御信号に基づいて上記セレクト部から第2のバスラインへ基準電圧を供給するか否かを制御する機能を有している。

【0038】さらに、好ましくは、上記複数のデコーダは、制御回路部4からの制御信号に基づいて上記セレクト部から第2のバスラインへ基準電圧を供給するか否かを制御する機能を有しており、上記複数のデコーダから表示データ信号が出力された時点で、制御回路部4からの制御信号に基づいて上記複数の記憶部がリセットされるようになっている。

【0039】また一方で、図22および図23に基づき、本発明の第2の原理および第3の原理を説明することとする。図22に示すように、本発明の第2の原理による液晶表示装置1の駆動回路は、任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電圧作成回路部52と、この基準電圧作成回路部52から出力される複数の第1の基準電圧をさらに分圧し（例えば、複数の分割抵抗54-1〜54-4等により分圧し）、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路手段54と、この抵抗分割回路手段54から出力される複数の第2の基準電圧から、所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して第2のバスラインに供給する複数のアナログスイッチS1A〜S1Eを含むセレクト部26と、上記基準電圧作成回路部52と上記抵抗分割回路手段54との間に配置される複数のバッファアンプ（すなわち、ドライバユニット）53-1〜53-3から構成されるバッファアンプ部53とを備えており、第2のバスラインに上記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、上記バッファアンプ部53内の複数のバッファアンプをそれぞれ通した出力電圧を第2のバスラインに供給し、第2番目の期間では、上記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を第2のバスラインに供給するようにしている。

【0040】さらに、好ましくは、本発明の第2の原理による駆動回路は、さらに、複数の画素の走査のタイミ

ング、および、上記の選択された画素への画像データ表示のタイミングを制御する制御回路部4Aと、この制御回路部4Aからの制御信号に基づき、上記制御回路部4Aから送出される表示データを、第2のバスラインの各々に対応する表示データ信号に変換してセレクト部26に供給するデコーダ部24とを備えており、上記第1番目の期間では、制御回路部4Aからの制御信号によって上記デコーダ部24から上記セレクト部26への表示データ信号の供給を抑止し、上記第2番目の期間では、上記デコーダ部24から上記セレクト部26への表示データ信号の供給を可能にする。

【0041】さらに、図31に示すように、本発明の第3の原理による液晶表示装置1の駆動回路は、任意の供給電源VRを複数の分割抵抗57R-1〜57R-3により分圧することによって複数の第1の基準電圧を作成する基準電源部57と、この基準電源部57から複数のバッファアンプ（ドライバユニット）57-1〜57-3を介して出力される複数の第1の基準電圧をさらに分圧し（例えば、複数の分割抵抗59R-1〜59R-4により分圧し）、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路部59と、この抵抗分割回路部59から出力される複数の第2の基準電圧から、所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して第2のバスラインに供給する複数のアナログスイッチS1A〜S1Eを含むセレクト部27とを備えている。さらに、上記抵抗分割回路部59は、上記複数の第2の基準電圧を出力するための複数の分割抵抗と、これらの複数の分割抵抗の接続部と上記セレクト部27との間に配置される複数のバッファアンプ59R-1〜59R-4から構成されるバッファ回路手段59Pとを有しており、第2のバスラインに上記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、バッファ回路手段59P内の複数のバッファアンプをそれぞれ通した出力電圧を第2のバスラインに供給し、第2番目の期間では、所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を第2のバスラインに供給するようにしている。

【0042】さらに、好ましくは、本発明の第3の原理による駆動回路は、複数の画素の走査のタイミング、および、上記の選択された画素への画像データ表示のタイミングを制御する制御回路部4Bと、この制御回路部4Bからの制御信号に基づき、上記制御回路部4Bから送出される表示データを、第2のバスラインの各々に対応する表示データ信号に変換して上記セレクト部27に供給するデコーダ部25とを備えており、上記第1番目の期間では、上記制御回路部4Bからの制御信号によって上記デコーダ部25から上記セレクト部27への表示データ信号の供給を抑止し、上記第2番目の期間では、上記デコーダ部25から上記セレクト部27への表示データ

信号の供給を可能にする。

【0043】さらに、好ましくは、本発明の第3の原理による駆動回路では、上記バッファ回路手段59P内の複数のバッファアンプの電源電圧が、上記基準電源部57から供給される。さらに、好ましくは、本発明の第3の原理による駆動回路では、上記バッファ回路手段59P内の複数のバッファアンプの電源電圧が、上記駆動回路を構成する他の論理回路素子と共用の電源から供給される。

【0044】さらに、本発明の液晶表示装置は、前述の図1に示すように、複数の画素と、これらの画素を順次走査するための第1のバスラインと、この第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを有する液晶表示パネル10と、上記第1のバスラインおよび第2のバスラインを駆動する駆動回路とを備えており、この駆動回路は、任意の供給電源を複数の分割抵抗により分圧することによって生成される複数の基準電圧から、上記駆動電圧に対応する基準電圧を選択して上記第2のバスラインに供給する基準電圧選択手段9と、この第2のバスラインに対し、上記駆動電圧が予め定められた期間だけ印加された後は、上記基準電圧選択手段9による上記駆動電圧の供給を停止する基準電圧選択制御手段7と、上記第2のバスラインに対し、上記駆動電圧が予め定められた期間だけ印加された後は、上記供給電源から上記分割抵抗への電圧供給を停止する供給電源制御手段6とを含む。

【0045】さらに、本発明の液晶表示装置は、前述の図2に示すように、複数の画素と、これらの画素を順次走査するための第1のバスラインと、この第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを有する液晶表示パネル10と、上記第1のバスラインおよび第2のバスラインを駆動する駆動回路とを備えており、この駆動回路は、任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電圧作成回路部52と、この基準電圧作成回路部52から出力される複数の第1の基準電圧をさらに分圧し、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路手段54と、この抵抗分割回路手段54から出力される複数の第2の基準電圧から、上記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して上記第2のバスラインに供給するセレクタ部26と、上記基準電圧作成回路部52と上記抵抗分割回路手段54との間に配置される複数のバッファアンプから構成されるバッファアンプ部53とを含む。

【0046】さらに、本発明の液晶表示装置は、前述の図3に示すように、複数の画素と、これらの画素を順次走査するための第1のバスラインと、この第1のバス

ライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを有する液晶表示パネル10と、上記第1のバスラインおよび第2のバスラインを駆動する駆動回路とを備えており、この駆動回路は、任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電源部57と、この基準電源部57から出力される複数の第1の基準電圧をさらに分圧し、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路部59と、この抵抗分割回路部59から出力される複数の第2の基準電圧から、上記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して上記第2のバスラインに供給するセレクタ部27とを含む。

【0047】さらに、前述の図1に関連する本発明の液晶表示装置の駆動方法は、複数の画素と、これらの画素を順次走査するための第1のバスラインと、この第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置において、任意の供給電源を複数の分割抵抗により分圧することによって生成される複数の基準電圧から上記所定の画像データに対応する駆動電圧を選択し、上記第2のバスラインに対し上記駆動電圧を予め定められた期間だけ印加した後に、上記第2のバスラインへの上記駆動電圧の供給を停止すると共に、上記第2のバスラインに対し上記駆動電圧を予め定められた期間だけ印加した後に、上記供給電源から上記分割抵抗への電圧供給を停止する。

【0048】さらに、前述の図2に関連する本発明の液晶表示装置の駆動方法は、複数の画素と、これらの画素を順次走査するための第1のバスラインと、これらの第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置において、任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を生成してバッファアンプを通して出力し、上記第1の基準電圧をさらに複数の分割抵抗により分圧して第2の基準電圧を生成すると共に、上記第2のバスラインに上記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、上記バッファアンプを通じた出力電圧を上記第2のバスラインに供給し、第2番目の期間では、上記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を上記第2のバスラインに供給する。

【0049】さらに、前述の図3に関連する本発明の液晶表示装置の駆動方法は、複数の画素と、これらの画素を順次走査するための第1のバスラインと、この第1のバスライン上の選択された画素へ所定の画像データを表示するための駆動電圧を供給する第2のバスラインとを配置してなる液晶表示装置において、任意の供給電源

を複数の分割抵抗により分圧することによって複数の第1の基準電圧を生成し、上記第1の基準電圧をさらに複数の分割抵抗により分圧して第2の基準電圧を生成すると共に、上記第2の基準電圧のうち上記分割抵抗の接続点からの出力をバッファアンプを通して出力し、上記第2のバスラインに上記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、上記バッファアンプを通した出力電圧を上記第2のバスラインに供給し、第2番目の期間では、上記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を上記第2のバスラインに供給する。

【0050】

【発明の実施の形態】図3は、図1の本発明の第1の原理を説明するためのデータラインの等価回路を示す回路図であり、図4は、図1の本発明の第1の原理を説明するための電荷移動の等価回路を示す回路図である。本発明の駆動回路では、図3および図4の第1の原理説明図に示すように、第2のバスラインであるデータライン（例えば、データラインX1）への駆動電圧（典型的に、階調電圧）が書き込まれた後は、基準電圧選択制御手段7（または7'）により基準電圧選択手段9内のセレクト部等のスイッチをすべてオフとした上で、電源供給制御手段6によって、基準電圧生成手段5内の複数の分割抵抗に流れる定常電流を零にすることにより、液晶表示パネルを駆動する電力を軽減するようにしている。

【0051】さらに、図3および図4の原理説明図を参照しながら、液晶表示パネル10のデータラインへの充電を終えた後は、基準電圧選択制御手段7により、データラインとデータドライバ部（表示データ信号タイミング設定部2、基準電圧選択手段9、および基準電圧選択制御手段7）との間をオフとしても問題がないことの詳細な説明を行う。

【0052】図3には、各データライン（例えば、データラインX1）の等価回路が示されている。このデータラインは、分布抵抗と分布容量からなる一種の分布定数回路からなっている。この場合、各々が抵抗値 r を有する分布抵抗 $r_{11} \sim r_{41}$ は、データラインを形成する材料の抵抗により形成され、各々が容量値 c を有する分布容量 $c_{11} \sim c_{41}$ は、データラインと対向電極間に挟まれた液晶を誘電体とする容量、および、データラインと第1のバスラインであるスキャンバスラインとの交差部の絶縁物を誘電体とする容量の合成値を主要成分として形成される。

【0053】そして、10.4インチで 640×480 の画素を有する液晶表示パネル10の場合の典型的な値として、抵抗値 r の総合値は $10 \text{ k}\Omega$ 程度、容量値 c の総合値は 100 pF 程度が考えられる。また一方で、TFTを通して階調電圧を書き込む液晶容量 $C_{11} \sim C_{41}$ の容量値は高々 1 pF 程度である。データライン上に電圧 V_X を印加すると、上記の分布容量にその電圧が充

電されつつ、目的とする液晶容量に対し、オンの状態になったTFTを通して階調電圧が書き込まれる。目的とする液晶容量に電圧を書き込みたい場合、スキャンバスラインをハイレベルとした画素のみの液晶容量に対し選択的に電圧が書き込まれればよいが、通常、TFTのオン状態の抵抗（通常、オン抵抗と略記される）は数 $\text{M}\Omega$ あるため、データラインの分布容量に充電が完了しても、液晶容量に電圧の充電が完了するわけではない。

【0054】したがって、データラインへの充電が完了した後にデータライン上の基準電圧選択制御手段7（または7'）のスイッチ素子S等をオフとした場合には、図4に示すように、分布容量 c_{11} に蓄積された電荷と液晶容量 C_{11} に既に蓄積されている電荷との間で電荷の再配分が起こり、電圧が変化する。この変化後の電圧の値は、式 $VC = (CL \times VB + CE \times VA) / (CL + CE)$ により表される。ここで、 CL は液晶容量の容量値、 VA は分布容量に蓄積された電圧の初期値、 CE は分布容量の総合値、および、 VB はスイッチ素子Sをオフとした時点で液晶容量に既に蓄積されていた電圧の値である。この値の例を計算してみる。

【0055】 $CL = 1 \text{ pF}$ 、 $VA = 5 \text{ V}$ 、 $CE = 100 \text{ pF}$ 、および、 $VB = 4 \text{ V}$ とすると、 $VC = 4.990 \text{ V}$ となる。これは、正しい値である 5 V に対して、約 10 mV の誤差であり、相対誤差の値としては 0.2% であり、実用上問題はない。液晶容量に充電されていた電圧の値がさらに大きければ、誤差はさらに小さくなる。

【0056】このように、データラインへの充電が完了した後はデータドライバ部からの電圧供給を遮断しても、液晶容量への正確な充電が行われている点を考慮すれば、問題は生じない。また一方で、本発明の第2の原理によれば、データラインの充電を2つの期間に分けて行い、第1番目の最初の期間では、複数の分割抵抗を通った基準電圧ではなく、バッファアンプの直接出力によりデータラインを充電し、第2番目の後半の期間で、画像データに基づく正規の電圧で最終値まで充電するようにしている。

【0057】換言すれば、最初の期間では、後半の期間に印加される電圧の値そのものか、またはそれに近い値を選択して低出力抵抗であるバッファアンプの出力でもって高速に充電し、後半の期間では、電圧の最終値との差に相当する電圧のみを充電する。このようにすれば、分割抵抗の抵抗値を大きくしても、必要とする期間内で最終値まで充電することができるため、分割抵抗値を大きく設定することにより低消費電力を実現することができる。当然のことではあるが、前述の第1の原理と上記の第2の原理とを組み合わせる駆動回路を構成することも可能であり、この場合には、本発明による低消費電力化等の効果はさらに大きくなる。

【0058】また一方で、本発明の第3の原理によれば、分割抵抗の抵抗値が大きくても低出力抵抗でデータ

ラインを充電することができるように、分割抵抗の後にバッファアンプを設けるようにしている。IC化されたデータドライバ部の中にバッファアンプを設ける場合に問題となることは、バッファアンプとして利用可能な電源として、基準電源部から与えられるデータラインへ充電する電圧の電源、または論理回路素子を動作させる電源しかないことである。

【0059】この場合、すべての分割抵抗に対してバッファアンプを設けることはできない。その理由として、例えば5Vの電源電圧を使用した場合、バッファアンプの出力可能な電圧が、1.5〜3.5V程度になることが挙げられる。したがって、本発明の第3の原理図では、必要とする基準電圧の内で、IC化されたデータドライバ部の中で作成可能な電圧のみに対してバッファアンプを使用し、それ以外は共通部の電源から基準電圧としてデータドライバ部に与える方法を採用している。このようにすると、分割抵抗の値を大きくすることができるので、低消費電力とすることができ、初期の目的を達成することができる。当然のことではあるが、前述の第1の原理と上記の第3の原理とを組み合わせると駆動回路を構成することも可能であり、この場合には、本発明による低消費電力化等の効果はさらに大きくなる。

【0060】かくして、本発明では、第2のバスラインに駆動電圧が書き込まれた後は、基準電圧選択手段9内のセレクト部等のスイッチをすべてオフとし、基準電圧生成用の複数の分割抵抗に流れる定常電流を遮断するようにしているので、この定常電流による回路内での消費電力の節減が図れると共に、分割抵抗の抵抗値を比較的小さくして第2のバスラインの液晶容量の充電の速度を速くすることにより、特に多階調表示を行う場合に表示品質の優れた液晶表示パネルを実現することが可能になる。

【0061】さらに、本発明では、第2のバスラインの液晶容量の充電を2つの期間に分けて行い、最初の期間で、後半の期間に印加される電圧の値そのものか、またはそれに近い値を選択して低出力抵抗であるバッファアンプの出力でもって高速に充電するようにしているので、分割抵抗の抵抗値を大きくしても、駆動回路の低消費電力化および液晶表示速度の高速化が図れる。

【0062】さらにまた、本発明では、複数の分割抵抗の後に集積化が容易なバッファアンプを設けることによって、分割抵抗の抵抗値が大きくても低出力抵抗でデータラインの液晶容量を充電するようにしているので、分割抵抗の抵抗値をかなり大きくした場合でも、液晶表示パネルの額縁部分の面積を小さく保ちつつ駆動回路の低消費電力化および液晶表示速度の高速化が図れる。

【0063】

【実施例】以下添付図面（図5〜図35）を用いて本発明の好ましい実施例を詳細に説明する。図5および図6は、本発明の第1実施例の構成を示す回路ブロック図

（その1およびその2）であり、図7および図8は、本発明の第1実施例における基準電源部の第1例を示す回路ブロック図（その1）である。図5および図6に示す本発明の第1実施例は、図1の本発明の第1の原理に基づく第1番目の実施例に相当する。

【0064】図5および図6においては、図1の制御回路部4として、各種の制御信号（図1の制御信号Sct、Scs、ScrおよびScy）に基づき、後述のデータドライバ部20、およびスキャンドライバ30を含むすべての駆動回路の動作を制御する制御回路部40Aが設けられている。この制御回路部40Aの構成は、従来技術の項で説明した制御回路部400（図36）の構成と概ね同じである。

【0065】この制御回路部40Aには、画像データを表示する際の走査の周期を示す水平同期信号HS、および、データライン上で選択された画像データに対し書き込み電圧を供給するための垂直同期信号VSのような制御信号が入力される。さらに、上記制御回路部40Aに入力されるD1〜DNは2進数の画像データを表し、Nは階調表示を行うためのビット数を表している。さらにまた、上記制御回路部40Aに入力されるCLKは、画像データと同期して与えられるクロック信号を表している。このクロック信号により、画像データD1〜DNの書き込み用のタイミングが設定される。ただし、上記クロック信号CLKは、水平同期信号HSの周期を計測することにより駆動回路の内部で生成することが可能であり、インタフェースとして本質的に必要とするものではない。さらに、図5において、図1の原理図の表示データ信号タイミング設定部2は、21はシフトレジスタ21を含む。このシフトレジスタ21では、1ライン毎の画像データの表示開始を示すスタート信号T1、および、レジスタ歩進用のクロックCK1が、1ライン毎に制御回路40Aから送出されたときに、第1のメモリ61〜64からなる記憶部内に表示用のデータを順次書き込むためのタイミング信号TS1〜TS4のような制御信号が生成される。これらの第1のメモリ61〜64は、それぞれNビットの容量を持つメモリから構成されており、Nビットの並列形式の画像データDT1〜DTNが第1のメモリ61〜64内にそれぞれ記憶される。第2のメモリ71〜74からなる記憶部もまた、それぞれNビットの容量をもつメモリから構成される。このような構成では、第1のメモリ61〜64に並列形式の画像データが書き込まれた後、次のスキャンバスラインのデータが到来する前に、第1のメモリ61〜64に蓄積されたデータが、書き込み制御信号T2により書き込まれる。

【0066】さらに、図5において、第2のメモリ71〜74の出力側には、基準電圧選択手段9（図1）として機能するセレクト91〜94が設けられている。これらのセレクト91〜94は、第2のメモリ71〜74に

蓄積されたデジタル・データに対応するアナログ信号を発生させるための一種のデジタル・アナログ変換回路である。セクタ91~94と第2のメモリ71~74との間に設けられたデコーダ81~84は、2進数で与えられる画像データをデコードしてセクタ91~94内の各一個のみのアナログスイッチをオンにするための信号を発生させる。このようにして、セクタ91~94は、複数種(M種)の電圧のいずれか一つを選択してデータラインX1~X4に出力する。M種の電圧と第2のメモリ71~74に蓄積されたNビットのデータに

【0067】さらに、図5および図6においては、図1の原理図の基準電圧選択制御手段7として、複数(ここでは、4個)のスイッチ素子S1~S4が、セクタ91~94とデータラインX1~X4との間に設けられている。上記のシフトレジスタ21、第1のメモリ61~64、第2のメモリ71~74、デコーダ81~84、セクタ91~94およびスイッチ素子S1~S4の部分を含む回路全体は、データドライバ部20としてIC

【0068】さらに、図5において、図1の原理図の基準電圧生成手段5は、複数の分割抵抗(図8のRA~RE)により、任意の供給電源(図8のVR)から複数の第1の基準電圧を作り出す基準電源部50Aと、この基準電源部50Aから出力される第1の基準電圧に基づき、複数の分割抵抗(図8のR1~R8)により分圧することによって複数種の基準電圧を最終的に生成してセクタ91~94に送出する抵抗分割回路部51とを有している。図1の原理図の電源供給制御手段6は、好ま

【0069】上記のシフトレジスタ21、第1のメモリ61~64、第2のメモリ71~74、デコーダ81~84、セクタ91~94、および抵抗分割回路部51の部分を含む回路全体は、データドライバ部20としてIC化されることが好ましい。さらに、図6において、図1の原理図のスキャンバスライン駆動部3として、従来のスキャンドライバ部(図37)の同じ構成のスキャンドライバ部30を設けている。このスキャンドライバ部30は、スタート信号T3により動作を開始しクロックCK2により歩進するシフトレジスタ31と、このシフトレジスタ31の出力信号をスキャンバスラインY1~Y4にそれぞれ送出する複数のドライバユニットDV1~DV4とにより構成される。上記のスキャンドライバ部30は、前述の図37のスキャンドライバ部と同様の構成を有しているため、ここでは、その詳細な説明を省略することとする。

【0070】図7および図8に示すように、基準電源部50Aの第1例を含む第1実施例の主要部においては、

図1の原理図の供給電源制御手段6の具体例が、基準電源部50A内のスイッチ素子SA(図8)に対応する。図7の基準電源部50Aが、前述の図39の基準電源部500と異なる点は、上記のスイッチ素子SAが付設されていることである。さらに、図7のデータドライバ部20内で基準電圧選択制御手段7として機能するスイッチ素子S1~S4は、制御回路40Aからの制御信号の一つであるタイミング信号T5により制御され、基準電源部50A内のスイッチ素子SAは、別の制御信号であるタイミング信号T4により制御される。

【0071】なお、図7におけるデコーダ81およびセクタ91と、図8における抵抗分割回路部51の構成は、それぞれ、前述の図38のデコーダ810およびセクタ910と、前述の図39の抵抗分割回路部510の構成と実質的に同じなので、それらの詳細な説明を省略することとする。上記のタイミング信号とデータライン上の電圧波形の時間変化との関係は、図12および図13のタイミングチャートに示されている。図13に示すように、タイミング信号T4が“L(Low)”(オフの状態)になっている期間TA'の間は、抵抗分割回路部51内の分割抵抗にて電力消費が生じないため、消費電力の軽減を図ることが可能になる。この場合、タイミング信号T4は、液晶表示装置毎に表示が劣化しない範囲で最短の値を調整できる手段を設けるような使い方ができる。例えば、フルカラー表示の場合は、表示品質を高めるためにタイミング信号T4を長くすることが必要であるが、用途によって4096色の表示でよい場合はデータライン上の液晶容量の充電が充分でなくても実用上支障がないため、タイミング信号T4が“H(High)”の時間を短くすることができる。この結果、ノート型パーソナルコンピュータを使用する際に重要な電池の使用可能時間を延長することが可能になる。具体的には、ユーザが、タイミング信号T4の持続期間を外部から設定できる手段を持てばよい。

【0072】さらに、図12および図13のタイミングチャートにおいては、まず、クロック信号CLKおよびスタート信号T1に基づき、2進数の表示データD1~DNが、第1のメモリ61~64に蓄積される。次に、第1のメモリ61~64から読み出された表示データが、書き込み制御信号T2に基づき、第2のメモリ71~71に書き込まれる。さらに、タイミング信号T4に基づき、第2のメモリ71~71から読み出された表示データが、デコーダ81~84によりデコードされ、アナログの表示データ信号としてセクタ91~94に入力される。その後、データラインの液晶容量の充電が完了し同データライン上の電圧がほぼ一定の値になった時点で、タイミング信号T5に基づき、スイッチ素子S1~S4をオフにする。すなわち、タイミング信号T4が“L”になっている期間TA'では、タイミング信号T5も“L”になっているので、余分な消費電力は生じな

い。

【0073】図9は、本発明の第1実施例における基準電源部の第2例を示す回路ブロック図である。図9に示す基準電源部50Bの例は、基準電源部内のバッファアンプ（ドライバユニット）A1～A5と分割抵抗R1～R8との間に複数のアナログスイッチSAA～SAEを設けて、図8のスイッチ素子SAと同等の機能を実現するものである。ここに示すアナログスイッチSAA～SAEは、抵抗分割回路部51に流入する定常電流に与える影響を少なくするために、オン状態のときのオン抵抗を小さくする必要がある。このようなオン抵抗を小さなアナログスイッチを実現するために、VMOS（Vertical Metal Oxide Semiconductor）とよばれる電力制御用の素子が、低価格で広く利用可能な状況にある。

【0074】図10は、本発明の第1実施例における基準電源部の第3例を示す回路ブロック図である。図10の基準電源部50Cの例では、図8のスイッチ素子SAと同等の機能を有するスイッチ素子SBが、供給電源VRのアース端子側に接続されている。上記スイッチ素子SBは、制御回路部からのタイミング信号T4に基づいて供給電源VRから複数の分割抵抗へ電圧を供給するか否かを制御するようになっている。

【0075】図11は、本発明の第1実施例における基準電源部の第4例を示す回路ブロック図である。図11の基準電源部50Dの例では、図8のスイッチ素子SAと同等の機能を有するスイッチ素子SCが、供給電源VRのアース端子側に接続されている。さらに、制御回路部からのタイミング信号T4は、バッファ素子50-1を介して分割抵抗RA～REに供給されるので、タイミング信号T4にノイズが含まれていてもバッファ素子50-1により整形されるので、上記ノイズがデータラインに侵入するのを防止することができる。

【0076】図14および図15は、本発明の第2実施例の構成を示す回路ブロック図であり、図16および図17は、本発明の第2実施例の主要部を示す回路ブロック図である。図14および図15に示す本発明の第2実施例は、図2の本発明の第1の原理の変形例に基づく実施例に相当する。図14および図15の液晶表示装置の駆動回路の構成は、前述の図5および図6の第1実施例の構成と概ね同じであるが、図5および図6に示した直列のアナログスイッチからなるスイッチ素子S1～S4と同等の機能をデコーダ81A～84Aに持たせている点異なる。

【0077】すなわち、この場合、複数のデコーダ81A～84Aは、制御回路部40Aからのタイミング信号T5に基づいてセクタ91～94から第2のバスラインへ基準電圧を供給するか否かを制御する機能を有している。このような回路構成により、1C化されたデータドライバ部20内の回路素子の節減を図るようにしている。

【0078】データドライバ部20A内のデコーダ81A～84A以外の構成要素、基準電源部50A、およびスキンドライバ部30は、前述の図5および図6の第1実施例の場合と同様の構成を有しているので、ここでは、その詳細な説明は省略することとする。図16および図17には、本発明の第2実施例の主要部として、デコーダ81A、セクタ91、基準電源部50Aおよび抵抗分割回路部51が示されている。本発明の第2実施例では、制御回路40Aからのタイミング信号T5によってセクタ91～94内のすべてのスイッチをオフにする機能を持たせる。具体的には、デコーダ81A内にゲート回路素子（NOR素子）GA、GBを新たに組み入れることにより、タイミング信号T5によりデコーダ81Aのデコード出力を停止させることである。

【0079】さらに詳しく説明すると、デコーダ81Aは、2進数の画像データD1～D3が入力される3個のNOT素子85A-1～85A-3と、これらのNOT素子85A-1～85A-3から出力される画像データをデコードする4個のAND素子86A-1～86A-4と、これらのAND素子86A-1～86A-4の出力側に接続され、セクタ91の8個のアナログスイッチの一つをオンにするための制御信号を生成するNOR素子87A-1～87A-8と、タイミング信号T5によりデコーダ81Aのデコード出力を停止させるゲート回路素子GA、GBとを有している。

【0080】さらに、基準電源部50Aは、前述の第1実施例の場合と同じように、一つの供給電源VRと、この供給電源VRを分圧して5種の第1の基準電圧を作り出すための5個の分割抵抗RA～REと、これらの分割抵抗RA～REからの基準電圧を抵抗分割回路部51に送出するバッファアンプ（ドライバユニット）AP1～AP5とを有している。

【0081】抵抗分割回路部51もまた、前述の第1実施例の場合と同じように、バッファアンプAP1～AP5からの5種の第1の基準電圧をさらに分圧して8種の第2の基準電圧V1～V8を生成するための8個の分割抵抗R1～R8を有している。上記の第2実施例による駆動回路が、図6および図7に示した第1実施例に比べて有利な点は、直列のアナログスイッチS1～S4を無くしたことにより、データラインを充電する時定数にアナログスイッチS1～S4のオン抵抗の影響が加わらないことである。

【0082】図18および図19は、本発明の第3実施例の構成を示す回路ブロック図（その1およびその2）であり、図20および図21は、本発明の第3実施例の主要部を示す回路ブロック図（その1およびその2）である。さらに詳しく説明すると、上記複数のデコーダ81C～84Cは、制御回路部40Bからのタイミング信号T5に基づいてセクタ91～94から第2のバスラインへ基準電圧を供給するか否かを制御する機能を有し

ており、上記複数のデコーダ81C～84Cから表示データ信号が出力された時点で、制御回路部40Bからの制御信号に基づいて第2のメモリ71A～74Aがリセットされるようになっている。

【0083】換言すれば、本発明の第3実施例は、図14および図15に示した第2の実施例と同等の基準電圧制御機能を、少し異なった方法で実現させるものである。具体的には、制御回路40Bからのタイミング信号に基づいて第2のメモリ71A～74Aの値をリセットし、デコーダの出力がセクタ部内の特定のスイッチをオンとするようなデコーダ出力が生成された時点でデコーダにタイミング信号T5を作用させて、その選択も無しとすることである。

【0084】図20および図21には、本発明の第2実施例の主要部として、デコーダ81C、セクタ91、基準電源部50Aおよび抵抗分割回路部51が示されている。本発明の第3実施例では、制御回路40Bからのタイミング信号T5によってセクタ91～94内のすべてのスイッチをオフにする機能を持たせる。具体的には、デコーダ81C内にゲート回路素子（OR素子）GCを新たに組み入れることにより、タイミング信号T5によりデコーダ81Cのデコード出力を停止させるような構成になっている。

【0085】さらに詳しく説明すると、デコーダ81Cは、2進数の画像データD1～D3が入力される3個のNOT素子85C-1～85C-3と、これらのNOT素子85C-1～85C-3から出力される画像データをデコードする4個のAND素子86C-1～86C-4と、これらのAND素子86C-1～86C-4の出力側に接続され、セクタ91の8個のアナログスイッチの一つをオンにするための制御信号を生成するNOR素子87C-1～87C-8と、タイミング信号T5によりデコーダ81Cのデコード出力を停止させると共に、タイミング信号（制御信号の一つ）T6により第2のメモリ71A～74Aをリセットするゲート回路素子GCとを有している。

【0086】上記の第3実施例による駆動回路が、図14および図15に示した第2実施例に比べて有利な点は、複数のデコーダからなるデコーダ回路の構成が簡単になることである。その代わりに、デコーダ用の第2のメモリ71A～74Aにリセット機能を持たせることが必要となる。図23および図24は、本発明の第4実施例の構成を示す回路ブロック図（その1およびその2）であり、図25および図26は、本発明の第4実施例の主要部の第1例を示す回路ブロック図（その1およびその2）である。図23および図24に示す本発明の第4実施例は、図22（「発明を解決するための手段」の項で説明済み）の本発明の第2の原理に基づく実施例に相当する。

【0087】図23においては、図22の第2の原理の

制御回路部4Aとして、各種の制御信号に基づき、データドライバ部20C、およびスキャンドライバ30を含むすべての駆動回路の動作を制御する制御回路部40Cが設けられている。この制御回路部40Cの構成は、従来技術の項で説明した制御回路部400（図36）の構成と概ね同じである。

【0088】この制御回路部40Cには、画像データを表示する際の走査の周期を示す水平同期信号HS、および、データライン上で選択された画像データに対し書き込み電圧を供給するための垂直同期信号VSが入力される。さらに、上記制御回路部40Cに入力されるD1～DNは2進数の画像データを表し、Nは階調表示を行うためのビット数を表している。さらにまた、上記制御回路部40Cに入力されるCLKは、画像データと同期して与えられるクロック信号を表している。このクロック信号により、画像データD1～DNの書き込み用のタイミングが設定される。

【0089】さらに、図23においては、図22の第2の原理のデコーダ部24として、制御回路部40Cからの制御信号の一つであるタイミング信号T7に基づき、上記制御回路部40Cから送出される表示データを、データラインの各々に対応する表示データ信号に変換してセクタ91～94に供給する複数のデコーダ81D～84Dが、データドライバ部20C内に設けられている。データバスラインの充電の最初の期間では、制御回路部40Cからのタイミング信号T7によってデコーダ81D～84Dからセクタ91～94への表示データ信号の供給を抑止し、後半の期間では、上記デコーダ81D～84Dからセクタ部91～94への表示データ信号の供給を可能にするように制御回路部40Cが動作する。

【0090】さらに、図23において、データドライバ部20C内のデコーダ81D～84Dの部分は、前述の第1実施例（図5）のデータドライバ部20と同じ構成を有する。さらに詳しく説明すると、データドライバ部20Cはシフトレジスタ21を含む。このシフトレジスタ21では、1ライン毎の画像データの表示開始を示すスタート信号T1、および、レジスタ歩進用のクロックCK1が、1ライン毎に制御回路40Cから送出されたときに、第1のメモリ61～64からなる記憶部内に表示用のデータを順次書き込むためのタイミング信号TS1～TS4が生成される。これらの第1のメモリ61～64は、それぞれNビットの容量を持つメモリから構成されており、Nビットの並列形式の画像データDT1～DTNが第1のメモリ61～64内にそれぞれ記憶される。第2のメモリ71～74からなる記憶部もまた、それぞれNビットの容量をもつメモリから構成される。このような構成では、第1のメモリ61～64に並列形式の画像データが書き込まれた後、次のスキャンバスラインのデータが到来する前に、第1のメモリ61～64に

蓄積されたデータが、書き込み制御信号T2により書き込まれる。

【0091】さらに、図23におけるセクタ91~94は、図22の第2の原理のセクタ部26の機能を有している。これらのセクタ91~94は、第2のメモリ71~74に蓄積されたデジタル・データに対応するアナログ信号を発生させるための一種のデジタル・アナログ変換回路である。さらに、図23において、図22の第2の原理図の基準電圧作成回路部52およびバッファアンプ部53として、複数の分割抵抗(図26のRA~RE)により、任意の供給電源(図26のVR)から複数の第1の基準電圧を作り出す基準電源部56が設けられている。さらに、図22の第2の原理図の抵抗分割回路手段54として、上記基準電源部56から出力される第1の基準電圧に基づき、複数の分割抵抗(図26のR1~R8)により分圧することによって複数種の基準電圧を最終的に生成してセクタ91~94に送出する抵抗分割回路部58が設けられている。

【0092】上記のシフトレジスタ21、第1のメモリ61~64、第2のメモリ71~74、デコーダ81D~84D、セクタ91~94、および抵抗分割回路部58の部分を含む回路全体は、データドライバ部20CとしてIC化されることが好ましい。図24におけるスキャンドライバ部30は、スタート信号T3により動作を開始しクロックCK2により歩進するシフトレジスタ31と、このシフトレジスタ31の出力信号をスキャンバスラインY1~Y4にそれぞれ送出する複数のドライバユニットDV1~DV4とにより構成される。上記のスキャンドライバ部30は、前述の従来の図37のスキャンドライバ部と同様の構成を有しているので、ここでは、その詳細な説明を省略することとする。

【0093】図25および図26には、本発明の第4実施例の主要部として、デコーダ81D、セクタ91、基準電源部56および抵抗分割回路部58が示されている。本発明の第4実施例では、制御回路40Cからのタイミング信号T7に基づき、第1のメモリ61~64から第2のメモリ71~74への最下位ビット(LSB)に対して動作するゲート回路素子GDを設けるだけで、本発明の第2の原理を簡単に実現することができるので、実用的な価値は高い。

【0094】図25におけるデコーダ81D(複数のデコーダ81D~84Cの一つ)は、制御回路部40Cからのタイミング信号T7に基づいてセクタ91内の複数のアナログスイッチS11~S18の一つからデータラインへ基準電圧を供給するか否かを制御する機能を有している。さらに詳しく説明すると、デコーダ81Dは、2進数の画像データD1~D3が入力される3個のNOT素子85D-1~85D-3と、これらのNOT素子85D-1~85D-3から出力される画像データをデコードする4個のAND素子86D1~86D-4

と、これらのAND素子86D-1~86D-4の出力側に接続され、セクタ91の8個のアナログスイッチS11~S18の一つをオンにするための制御信号を生成するNOR素子87D-1~87D-8と、タイミング信号T7によって第1のメモリ61~64から第2のメモリ71~74への最下位ビットの制御を行うゲート回路素子GDとを有している。

【0095】このゲート回路素子GDは、上記最下位ビットに相当するデータラインの充電の最初の期間では、デコーダ81D~84Dからセクタ91~94への表示データ信号の出力を禁止し、上記最下位ビット以外の桁に相当する後半の期間では、上記デコーダ81D~84Dからセクタ91~94への表示データ信号の出力を可能にするように論理動作を行う。

【0096】図26における基準電源部56は、一つの供給電源VRから5種の第1の基準電圧を作り出すための5個の分割抵抗RA~REと、これらの分割抵抗RA~REの各接続点に接続される5個のバッファアンプ(ドライバユニット)56-1~56-5とを備えている。また一方で、抵抗分割回路部58は、5個のバッファアンプ56-1~56-5からの出力電圧を分圧して8種の基準電圧V1~V8を最終的に生成し、セクタ91に送出するための8個の分割抵抗R1~R8を備えている。

【0097】図27および図28は、本発明の第4実施例の動作を説明するためのタイミングチャート(その1およびその2)である。図27および図28に示すタイミングチャートにおいては、まず、クロック信号CLKおよびスタート信号T1に基づき、2進数の表示データD1~DNが、第1のメモリ61~64に蓄積される。次に、第1のメモリ61~64から読み出された表示データが、書き込み制御信号T2に基づき、第2のメモリ71~71に書き込まれる。

【0098】タイミング信号T7が“H”の間は、基準電源部56内のバッファアンプの出力によりデータラインが充電されるため、その充電速度は速い。その後、タイミング信号T7が“L”のレベルになると、画像データに応じて、駆動電圧(基準電圧V1~V8)が値がそのまま保持される場合と、分割抵抗を通して充電される場合とに分かれるが、データラインは既に、最終値に近い値に充電されているため、分割抵抗値が大きくても、所定の時間内にデータラインの最終値までの充電が可能である。このようにして、分割抵抗値が大きくても、予め定められた期間内にデータラインの最終値への充電が充分可能であるため、結果的に低消費電力とすることができる。しかも、ゲート回路素子GD等の簡単な回路の追加のみで本発明の第2の原理を実現することができるので、実用上有利である。図27および図28からわかるように、タイミング信号T7が“H”の間は、バッファアンプの出力によりデータラインが充電されるため、

その充電速度は速く、タイミング信号T7が“L”のレベルになると、画像データに応じて、そのまま留まる場合と、分割抵抗を通して充電される場合に分かれるが、データラインは既に、最終値に近い値に充電されているため、分割抵抗値が大きくても、所定の時間内にデータラインの最終値までの充電が可能である。このようにして、分割抵抗値が大きくても、データラインの最終値への充電が可能であるため、結果的に低消費電力とすることができる。しかも、簡単な回路の追加でよいため、その実用的な価値は高い。

【0099】図29および図30は、本発明の第4実施例の主要部の第2例を示す回路ブロック図（その1およびその2）である。図29および図30に示す第4実施例の第2例の主要部として、デコーダ81E、セクタ91、基準電源部56Aおよび抵抗分割回路部58Aが示されている。上記第2例では、抵抗分割回路部58A内で各バッファアンプ間に配置される分割抵抗を2個から4個にした場合のデコーダ81Eの例を示す。この場合は、最下位ビット（LSB）と最下位ビットの次の桁のビット（NLSB）に対してゲート動作を行わせればよいことがわかる

図29におけるデコーダ81E（複数のデコーダ81E～84Eの一つ）は、前述の図25の場合と同じように、制御回路部40Cからのタイミング信号T7に基づいてセクタ91内の複数のアナログスイッチS11～S18の一つからデータラインへ基準電圧を供給する可否かを制御する機能を有している。

【0100】さらに詳しく説明すると、デコーダ81Eは、2進数の画像データD1～D3が入力される3個のNOT素子85E-1～85E-3と、これらのNOT素子85E-1～85E-3から出力される画像データをデコードする4個のAND素子86E1～86E-4と、これらのAND素子86E-1～86E-4の出力側に接続され、セクタ91の8個のアナログスイッチS11～S18の一つをオンにするための制御信号を生成するNOR素子87E-1～87E-8と、タイミング信号T7によって第1のメモリ61～64から第2のメモリ71～74への最下位ビットの制御を行うゲート回路素子GDと、上記最下位ビットの次の桁のビットの制御を行うゲート回路素子GNとを有している。

【0101】ゲート回路素子GDは、上記最下位ビットに相当するデータラインの充電の最初の期間では、デコーダ81E～84Eからセクタ91～94への表示データ信号の出力を禁止する。さらに、上記最下位ビットに相当するデータラインの充電の期間が充分でない場合、上記最下位ビットの次の桁のビットに相当するデータラインの充電の期間を設定し、デコーダ81E～84Eからセクタ91～94への表示データ信号の出力を禁止したままにする。その後、上記ビット以外の桁に相当する後半の期間では、上記デコーダ81E～84Eか

らセクタ部91～94への表示データ信号の出力を可能にするように論理動作を行う。

【0102】図30における基準電源部56Aは、一つの供給電源VRから3種の第1の基準電圧を作り出すための3個の分割抵抗RF～RHと、これらの分割抵抗RF～RHの各接続点に接続される3個のバッファアンプ56A-1～56A-3とを備えている。また一方で、抵抗分割回路部58Aは、3個のバッファアンプ56A-1～56A-3からの出力電圧を分圧して8種の基準電圧V1～V8を最終的に生成し、セクタ91に送出するための8個の分割抵抗R1～R8を備えている。

【0103】図32および図33は、本発明の第5実施例の構成を示す回路ブロック図（その1およびその2）である。図23および図24に示す本発明の第5実施例は、図31（「発明を解決するための手段」の項で説明済み）の本発明の第2の原理に基づく実施例に相当する。図32においては、図31の第3の原理の制御回路部4Bとして、各種の制御信号に基づき、データドライバ部20D、およびスキンドライバ部30を含むすべての駆動回路の動作を制御する制御回路部40Dが設けられている。この制御回路部40Dの構成は、従来技術の項で説明した制御回路部400（図36）の構成と概ね同じである。

【0104】この制御回路部40Dには、画像データを表示する際の走査の周期を示す水平同期信号HS、および、データライン上で選択された画像データに対し書き込み電圧を供給するための垂直同期信号VSが入力される。さらに、上記制御回路部40Dに入力されるD1～DNは2進数の画像データを表し、Nは階調表示を行うためのビット数を表している。さらにまた、上記制御回路部40Dに入力されるCLKは、画像データと同期して与えられるクロック信号を表している。このクロック信号により、画像データD1～DNの書き込み用のタイミングが設定される。

【0105】さらに、図32においては、図31の第3の原理のデコーダ部25として、上記制御回路部40Dから送出される表示データを、データラインの各々に対応する表示データ信号に変換してセクタ91～94に供給する複数のデコーダ81E～84Eが、データドライバ部20D内に設けられている。さらに、図32において、データドライバ部20D内のデコーダ81E～84Dの部分は、前述の第1実施例（図5）のデータドライバ部20と同じ構成を有する。さらに詳しく説明すると、データドライバ部20Dはシフトレジスタ21を含む。このシフトレジスタ21では、1ライン毎の画像データの表示開始を示すスタート信号T1、および、レジスタ歩進用のクロックCK1が、1ライン毎に制御回路部40Cから送出されたときに、第1のメモリ61～64からなる記憶部内に表示用のデータを順次書き込むためのタイミング信号TS1～TS4が生成される。これら

の第1のメモリ61~64は、それぞれNビットの容量を持つメモリから構成されており、Nビットの並列形式の画像データDT1~DTNが第1のメモリ61~64内にそれぞれ記憶される。第2のメモリ71~74からなる記憶部もまた、それぞれNビットの容量をもつメモリから構成される。このような構成では、第1のメモリ61~64に並列形式の画像データが書き込まれた後、次のスキャンバスラインのデータが到来する前に、第1のメモリ61~64に蓄積されたデータが、書き込み制御信号T2により書き込まれる。

【0106】さらに、図32におけるセクタ91~94は、図31の第3の原理のセクタ部27の機能を有している。これらのセクタ91~94は、第2のメモリ71~74に蓄積されたデジタル・データに対応するアナログ信号を発生させるための一種のデジタル・アナログ変換回路である。さらに、図32において、複数の分割抵抗により、任意の供給電源から複数の第1の基準電圧を作り出す基準電源部57が設けられている。さらに、図32において、上記基準電源部57から出力される第1の基準電圧に基づき、複数の分割抵抗により分圧することによって複数種の基準電圧を最終的に生成してセクタ91~94に送出する抵抗分割回路部59が設けられている。

【0107】さらに、この抵抗分割回路部59は、複数の分割抵抗の接続部とセクタ部27との間に配置される複数のバッファアンプ59-1~59-2（図31）から構成されるバッファ回路手段59Pとを有している。この場合、第2のバスラインに上記第2の基準電圧を印加する期間を2つの期間に分け、最初の期間では、バッファ回路手段59P内の複数のバッファアンプをそれぞれ通した出力電圧を第2のバスラインに供給し、後半の期間では、画像データを表示するための駆動電圧に対応する第2の基準電圧を第2のバスラインに供給するように制御回路部40Dが動作する。

【0108】上記のシフトレジスタ21、第1のメモリ61~64、第2のメモリ71~74、デコーダ81E~84E、セクタ91~94、および抵抗分割回路部59の部分を含む回路全体は、データドライバ部20DとしてIC化されることが好ましい。図33におけるスキャンドライバ部30は、スタート信号T3により動作を開始しクロックCK2により歩進するシフトレジスタ31と、このシフトレジスタ31の出力信号をスキャンバスラインY1~Y4にそれぞれ送出する複数のドライバユニットDV1~DV4とにより構成される。上記のスキャンドライバ部30は、前述の従来の図37のスキャンドライバ部と同様の構成を有しているので、ここでは、その詳細な説明を省略することとする。

【0109】上記の第5実施例によれば、複数の分割抵抗の接続部とセクタ部との間に低出力抵抗のバッファアンプを設けることにより、分割抵抗の値を大きくする

ことができるので、本発明の目的とする低消費電力化を容易に実現することができる。ただし、上記の第5実施例においては、バッファアンプとして利用可能な電源として、基準電源部57から与えられるデータラインへ充電する基準電圧の電源、またはデータドライバ内の論理回路素子を動作させる電源しかないことに注意すべきである。さらに、このような電源の電圧は一般に5Vであるのに対し、バッファアンプの出力可能な電圧は、1.5~3.5V程度と高いので、すべての分割抵抗に対してバッファアンプを設けることは実用上困難であることにも注意すべきである。

【0110】図34は、本発明の第5実施例の主要部の第1例を示す回路ブロック図である。ここでは、第5実施例の主要部の第1例として、基準電源部57および抵抗分割回路部59が示されている。この場合、抵抗分割回路部59内の複数の分割抵抗R11~R41間の接続点とセクタ部27との間に設けられる複数のバッファアンプAA1~AC1の電源は、基準電源部57から取るような構成になっている。

【0111】図34において、基準電源部57は、一つの供給電源VR1から複数の第1の基準電圧を作り出すための複数の分割抵抗RA1~RE1と、これらの分割抵抗RA1~RE1から得られる第1の基準電圧を抵抗分割回路部59に送出するか、または、直接セクタ部27に送出する複数のバッファアンプA11~A51とを有している。さらに、図34において、抵抗分割回路部59は、上記基準電源部57から出力される第1の基準電圧に基づき、上記の分割抵抗R11~R41により分圧することによって複数種の基準電圧V2~V5を最終的に生成し、上記のバッファアンプAA1~AC1を介してセクタ91~94に送出する機能を有する。なお、基準電圧V1、V2、およびV6~V8は、基準電源部57内のバッファアンプA11~A51からセクタ91~94に送出することにより、基準電源部57から抵抗分割回路部59内のバッファアンプAA1~AC1に供給すべき電源の負荷を軽減するようにしている。

【0112】図35は、本発明の第5実施例の主要部の第2例を示す回路ブロック図である。ここでは、第5実施例の主要部の第2例として、基準電源部57Aおよび抵抗分割回路部59Aが示されている。この場合、抵抗分割回路部59A内の複数の分割抵抗R12~R42間の接続点とセクタ部27との間に設けられる複数のバッファアンプAA2~AC2の電源は、IC化されたデータドライバ部内の論理回路素子用の電源VCCから取るような構成になっている。

【0113】図35において、基準電源部57Aは、一つの供給電源VR2から複数の第1の基準電圧を作り出すための複数の分割抵抗RA2~RE2と、これらの分割抵抗RA2~RE2から得られる第1の基準電圧を抵抗分割回路部59Aに送出するか、または、直接セクタ

タ部27Aに送出する複数のバッファアンプA12~A52とを有している。

【0114】さらに、図35において、抵抗分割回路部59Aは、上記基準電源部57Aから出力される第1の基準電圧に基づき、上記の分割抵抗R12~R42により分圧することによって複数種の基準電圧V2~V5を最終的に生成し、上記のバッファアンプAA2~AC2を介してセクタ91~94に送出する機能を有する。なお、基準電圧V1、V2、およびV6~V8は、基準電源部57A内のバッファアンプA12~A52からセクタ91~94に送出することにより、図34の場合と同じように、論理回路素子用の電源の負荷を軽減するようにしている。

【0115】

【発明の効果】以上説明したように本発明によれば、第1に、液晶表示装置の駆動回路によって、選択された基準電圧に対応する駆動電圧が第2のバスラインに書き込まれた後は、基準電圧選択手段内のセクタ部等のスイッチをすべてオフとし、基準電圧生成用の複数の分割抵抗に流れる定常電流を遮断するようにしているので、第2のバスラインの充電の速度を速くするために分割抵抗の抵抗値を比較的小さくした場合でも、分割抵抗内の定常電流による回路内での消費電力の節減が図れ、多階調表示に有利で表示品質の優れた液晶表示パネルを実現することが可能になる。

【0116】さらに、本発明によれば、第2に、基準電圧選択手段内のスイッチをオフにするタイミング、第2のバスラインへの駆動電圧供給開始および供給停止のタイミング、ならびに、複数の分割抵抗への電圧供給停止のタイミングを従来とほぼ同じ構成の制御回路部により発生させるようにしているので、簡単な回路構成でもって駆動回路の消費電力の節減が図れると共に、第2のバスラインの充電の速度を速くすることができる。

【0117】さらに、本発明によれば、第3に、駆動電圧が第2のバスラインに書き込まれた後に、基準電圧選択手段内のセクタ部等のスイッチをすべてオフとする手段を複数のスイッチ素子により構成し、基準電圧生成用の複数の分割抵抗に流れる定常電流を遮断する手段を一つのスイッチ素子により構成しているため、これらのスイッチ素子を容易に集積回路化することにより液晶表示装置の額縁部分の小さく保ちつつ駆動回路の低消費電力化を実現することが可能になる。

【0118】さらに、本発明によれば、第4に、駆動電圧が第2のバスラインに書き込まれた後に基準電圧生成用の複数の分割抵抗に流れる定常電流を遮断する手段として、VMOSとよばれるオン抵抗の小さな低価格のアナログスイッチ等の電力制御用半導体素子を基準電源部と複数の分割抵抗との間にそれぞれ配置しているので、液晶表示装置の小型化が図れると共に、駆動回路の低消費電力化が図れる。

【0119】さらに、本発明によれば、第5に、駆動電圧が第2のバスラインに書き込まれた後に基準電圧生成用の複数の分割抵抗に流れる定常電流を遮断する手段、例えば、スイッチ素子を、供給電源のアース端子側に接続するようにしているので、第2のデータライン間の電圧が同電位となり、分割抵抗には電流が流れなくなる。

【0120】さらに、本発明によれば、第6に、駆動電圧が第2のバスラインに書き込まれた後に基準電圧生成用の複数の分割抵抗に流れる定常電流を遮断する手段、例えば、スイッチ素子を、供給電源のアース端子側に接続し、バッファ素子を介して制御回路部からの制御信号を上記スイッチ素子に供給しているため、同等の機能をもたせることができる。

【0121】さらに、本発明によれば、第7に、駆動電圧が第2のバスラインに書き込まれた後に基準電圧選択手段内のセクタ部等のスイッチをすべてオフとする機能を、アナログスイッチの代わりにデコーダに持たせているので、第2のバスラインを充電する時定数がアナログスイッチのオン抵抗の影響を受けなくなり、第2のバスラインの充電の速度が比較的速くなって表示品質の優れた液晶表示パネルを実現することが可能になる。

【0122】さらに、本発明によれば、第8に、駆動電圧が第2のバスラインに書き込まれた後に基準電圧選択手段内のセクタ部等のスイッチをすべてオフとする機能を、アナログスイッチの代わりにデコーダに持たせ、かつ、デコーダから表示データ信号が出力された時点で、制御回路部からの制御信号に基づいて複数の記憶部をリセットするようにしているので、簡単な回路構成でもってセクタ部等のスイッチのオン・オフ動作が誤りなく実行されると共に回路の低消費電力化が図れる。

【0123】さらに、本発明によれば、第9に、第2のバスラインの充電を2つの期間に分けて行い、最初の期間で、後半の期間に印加される電圧の値そのものか、またはそれに近い値を選択して低出力抵抗であるバッファアンプの出力でもって高速に充電するようにしているので、分割抵抗の抵抗値を大きくしても、駆動回路の消費電力の節減が図れると共に、液晶表示速度の高速化を実現することが可能になる。

【0124】さらに、本発明によれば、第10に、第2のバスラインの充電を2つの期間に分けて行う場合、表示データ用の記憶部からデコーダへの最下位ビットをゲート回路素子により制御し、この最下位ビットに相当する最初の期間で、デコーダ部からセクタ部への表示データ信号の供給を抑止するようにしているので、簡単な論理回路素子を追加するのみで、駆動回路の低消費電力化を実現することが可能になる。

【0125】さらに、本発明によれば、第11に、複数の基準電圧を生成するための複数の分割抵抗の後部に集積化が容易でかつ低出力抵抗のバッファアンプを設けてデータラインを充電するようにしているので、分割抵抗

の抵抗値をかなり大きくした場合でも、液晶表示パネルの額縁部分の面積を小さく保ちつつ駆動回路の低消費電力化および液晶表示速度の高速化を実現することが可能になる。

【0126】さらに、本発明によれば、第12に、複数の基準電圧を生成するための複数の分割抵抗の後部に低出力抵抗の複数のバッファアンプを設け、第2のバスライン充電の最初の期間ではバッファアンプをそれぞれ通した出力電圧を第2のバスラインに供給し、後半の期間では、画像データを表示するための駆動電圧に対応する基準電圧を第2のバスラインに供給するようにしているので、分割抵抗の抵抗値をかなり大きくした場合でも、簡単な回路構成でもって駆動回路の低消費電力化および液晶表示速度の高速化を実現することが可能になる。

【0127】さらに、本発明によれば、第13に、複数のバッファアンプの電源電圧が、複数の基準電圧を生成する基準電源部から供給されるようになっているので、電源の簡略化および液晶表示装置の小型化が図れる。さらに、本発明によれば、第14に、複数のバッファアンプの電源電圧が、駆動回路を構成する他の論理回路素子と共用の電源から供給されるようになっているので、駆動回路の集積化を容易に実現することができ、実用的な価値は大きいものとなる。

【図面の簡単な説明】

【図1】本発明の第1の原理構成を示すブロック図である。

【図2】本発明の第1の原理構成を変形した例を示すブロック図である。

【図3】本発明の第1の原理を説明するためのデータラインの等価回路を示す回路図である。

【図4】本発明の第1の原理を説明するための電荷移動の等価回路を示す回路図である。

【図5】本発明の第1実施例の構成を示す回路ブロック図（その1）である。

【図6】本発明の第1実施例の構成を示す回路ブロック図（その2）である。

【図7】本発明の第1実施例における基準電源部の第1例を示す回路ブロック図（その1）である。

【図8】本発明の第1実施例における基準電源部の第1例を示す回路ブロック図（その2）である。

【図9】本発明の第1実施例における基準電源部の第2例を示す回路ブロック図である。

【図10】本発明の第1実施例における基準電源部の第3例を示す回路ブロック図である。

【図11】本発明の第1実施例における基準電源部の第4例を示す回路ブロック図である。

【図12】本発明の第1実施例の動作を説明するためのタイミングチャート（その1）である。

【図13】本発明の第1実施例の動作を説明するためのタイミングチャート（その2）である。

【図14】本発明の第2実施例の構成を示す回路ブロック図（その1）である。

【図15】本発明の第2実施例の構成を示す回路ブロック図（その2）である。

【図16】本発明の第2実施例の主要部を示す回路ブロック図（その1）である。

【図17】本発明の第2実施例の主要部を示す回路ブロック図（その2）である。

【図18】本発明の第3実施例の構成を示す回路ブロック図（その1）である。

【図19】本発明の第3実施例の構成を示す回路ブロック図（その2）である。

【図20】本発明の第3実施例の主要部を示す回路ブロック図（その1）である。

【図21】本発明の第3実施例の主要部を示す回路ブロック図（その2）である。

【図22】本発明の第2の原理構成を示すブロック図である。

【図23】本発明の第4実施例の構成を示す回路ブロック図（その1）である。

【図24】本発明の第4実施例の構成を示す回路ブロック図（その2）である。

【図25】本発明の第4実施例の主要部の第1例を示す回路ブロック図（その1）である。

【図26】本発明の第4実施例の主要部の第1例を示す回路ブロック図（その2）である。

【図27】本発明の第4実施例の動作を説明するためのタイミングチャート（その1）である。

【図28】本発明の第4実施例の動作を説明するためのタイミングチャート（その2）である。

【図29】本発明の第4実施例の主要部の第2例を示す回路ブロック図（その1）である。

【図30】本発明の第4実施例の主要部の第2例を示す回路ブロック図（その2）である。

【図31】本発明の第3の原理構成を示すブロック図である。

【図32】本発明の第5実施例の構成を示す回路ブロック図（その1）である。

【図33】本発明の第5実施例の構成を示す回路ブロック図（その2）である。

【図34】本発明の第5実施例の主要部の第1例を示す回路ブロック図である。

【図35】本発明の第5実施例の主要部の第2例を示す回路ブロック図である。

【図36】従来の液晶表示装置の構成を示す回路ブロック図（その1）である。

【図37】従来の液晶表示装置の構成を示す回路ブロック図（その2）である。

【図38】従来の液晶表示装置の主要部を示す回路ブロック図（その1）である。

41

42

【図39】従来の液晶表示装置の主要部を示す回路ブロック図（その2）である。

【図40】図37の液晶表示パネルの詳細例を示す回路図である。

【図41】従来の液晶表示装置の駆動回路の問題点を説明するための回路図（その1）である。

【図42】従来の液晶表示装置の駆動回路の問題点を説明するための回路図（その2）である。

【図43】従来の液晶表示装置の駆動回路の問題点を説明するためのタイミングチャートである。

【図44】従来方式の問題点をより詳細に説明するための等価回路図（その1）である。

【図45】従来方式の問題点をより詳細に説明するための等価回路図（その2）である。

【図46】従来方式の問題点をより詳細に説明するためのタイミングチャートである。

【図47】一般の液晶表示装置における額縁部分の構成を示すブロック図である。

【符号の説明】

- 1…液晶表示装置
- 2…表示データ信号タイミング設定部
- 3…スキャンバスライン駆動部
- 4、4A、4B…制御回路部
- 5…基準電圧生成手段第
- 6…電源供給制御手段
- 7、7'…基準電圧選択制御手段
- 9…基準電圧選択手段
- 10…液晶表示パネル

* 20、20A、20B、20Cおよび20D…データドライバ部

21…シフトレジスタ

24、25…デコーダ部

26、27…セクタ部

30…スキャンドライバ部

31…シフトレジスタ

40、40A、40B、40Cおよび40D…制御回路部

10 50A、50B、50Cおよび50D…基準電源部

51…抵抗分割回路部

52…基準電圧作成回路部

53…バッファアンプ部

54…抵抗分割回路手段

57…基準電源部

58…抵抗分割回路部

59…抵抗分割回路部

59P…バッファ回路手段

61～64…第1のメモリ

20 71～74…第2のメモリ

81～84、81A～84Aおよび81B～84B…デコーダ

81C～84C、81D～84Dおよび81E～84E…デコーダ

91～94…セクタ

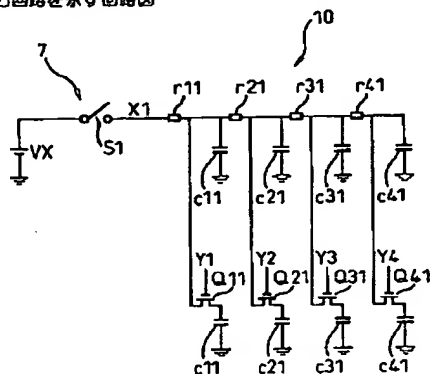
P11～P44…画素

X1～Xm…データライン

* Y1～Yn…スキャンバスライン

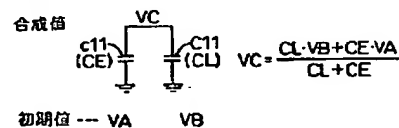
【図3】

本発明の第1の原形を説明するためのデータラインの等価回路を示す回路図



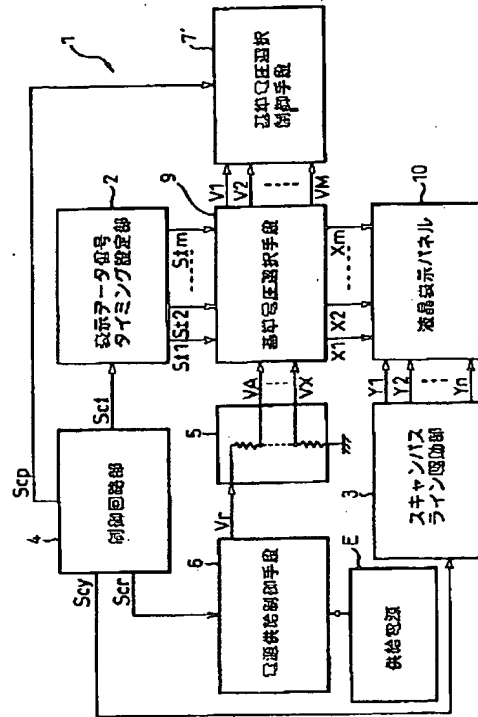
【図4】

本発明の第1の原形を説明するための電荷移動の等価回路を示す回路図



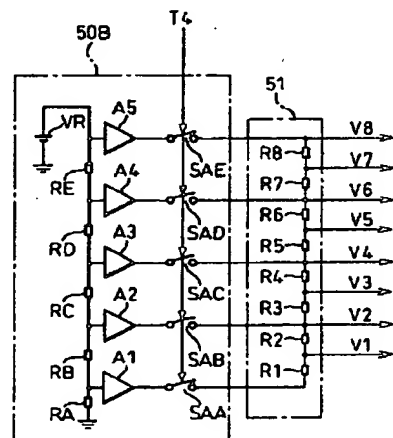
【圖2】

本発明の第１の原理構成を定形した例を示すブロック図



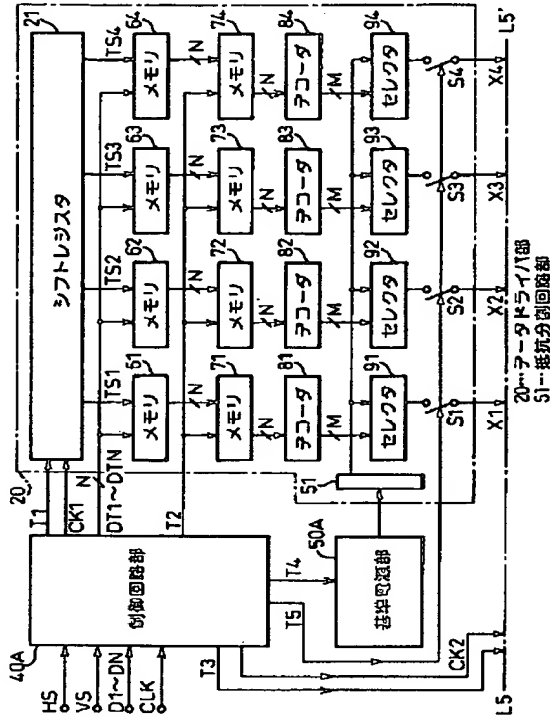
【圖9】

本発明の第 1 実施例における凸部電源部の第 2 例を示す回路ブロック図



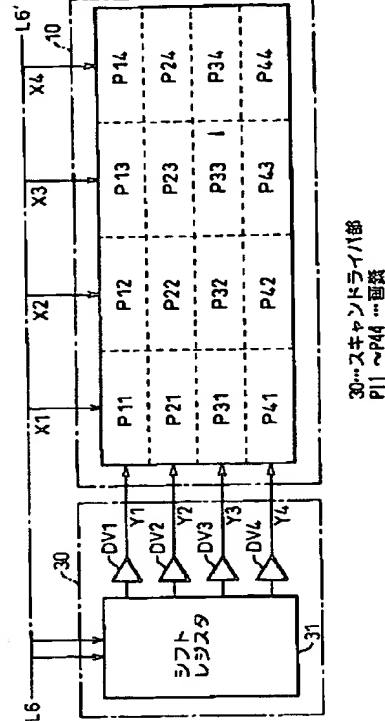
【図5】

本発明の第1実施例の構成を示す回路ブロック図（その1）



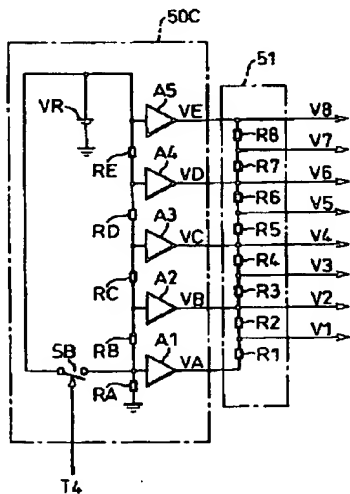
【図6】

本発明の第1実施例の構成を示す回路ブロック図（その2）



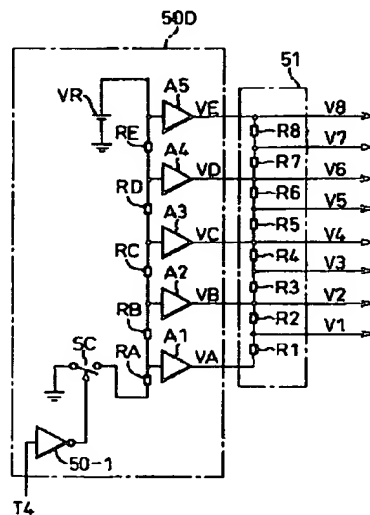
【図10】

本発明の第1実施例における基準電圧部の第3例を示す回路ブロック図



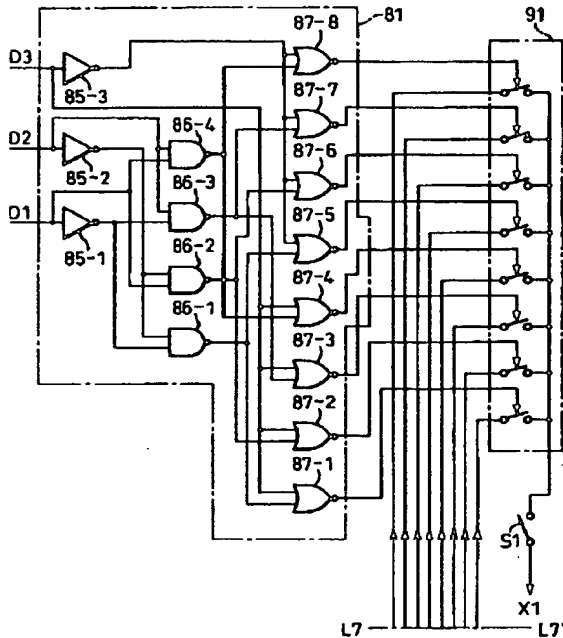
【図11】

本発明の第1実施例における基準電圧部の第4例を示す回路ブロック図



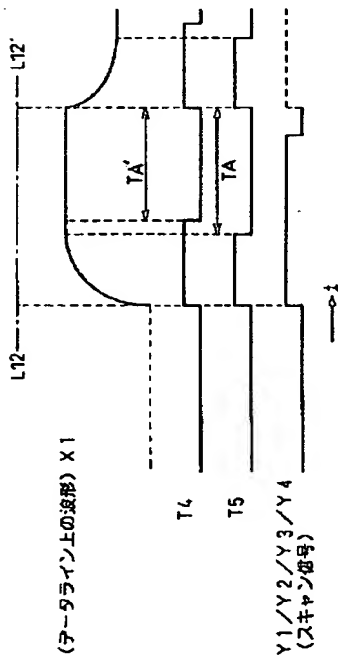
【図7】

本発明の第1実施例における基準電源部の第1例を示す回路ブロック図（その1）



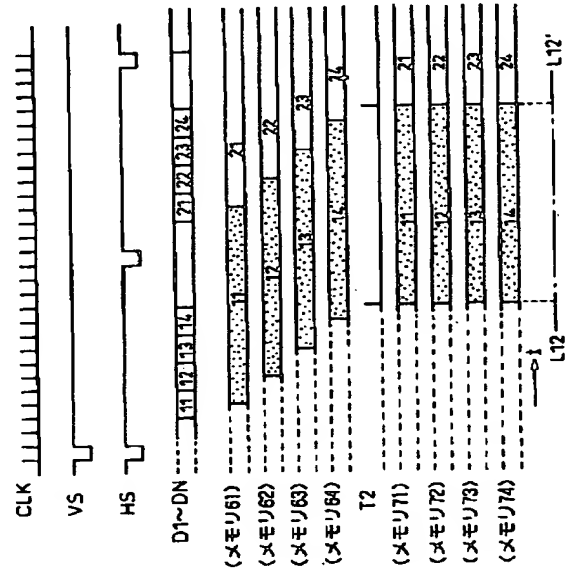
【図13】

本発明の第1実施例の動作を説明するためのタイミングチャート（その2）



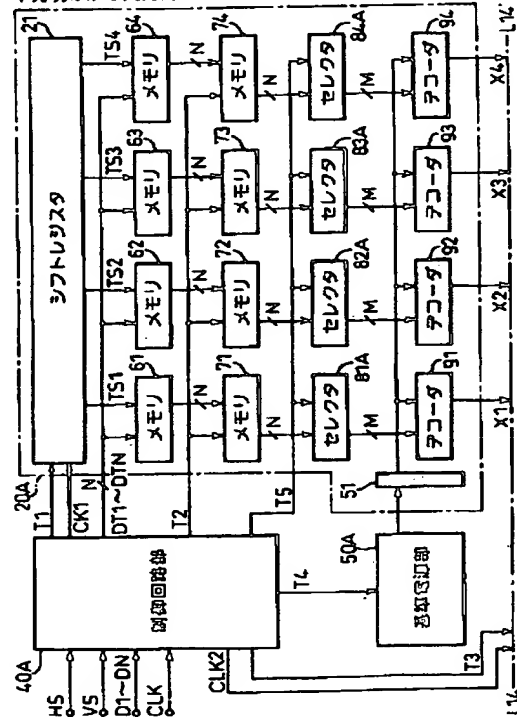
【図12】

本発明の第1実施例の動作を説明するためのタイミングチャート（その1）



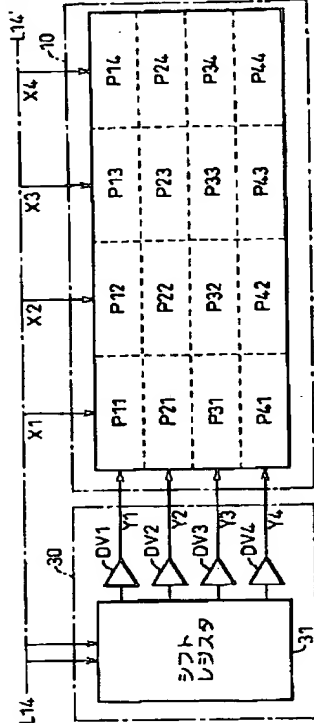
【図14】

本発明の第2実施例の構成を示す回路ブロック図（その1）



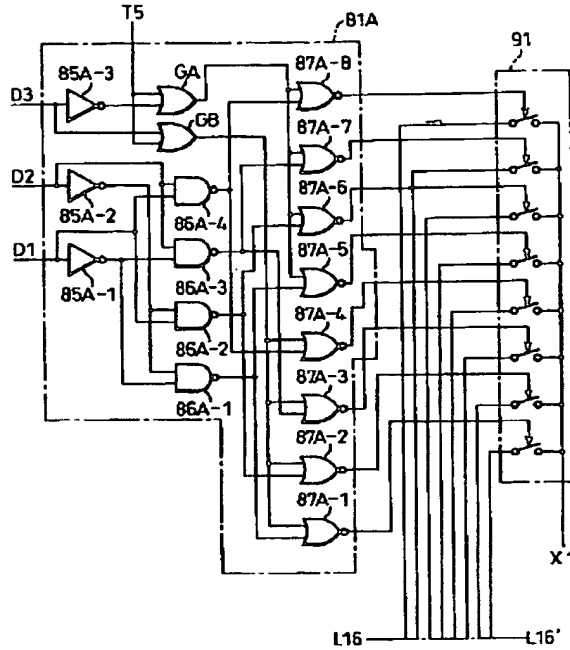
【図15】

本発明の第2実施例の構成を示す回路ブロック図（その2）



【図16】

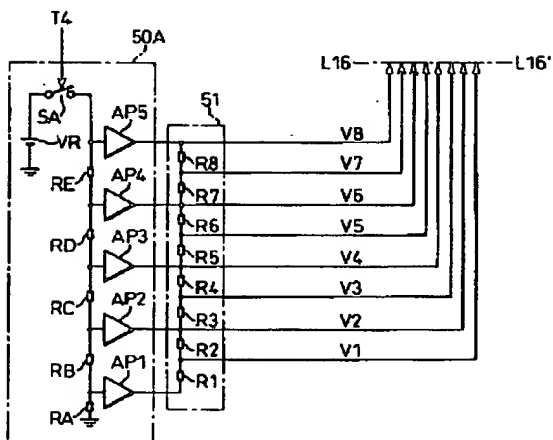
本発明の第2実施例の主要部を示す回路ブロック図（その1）



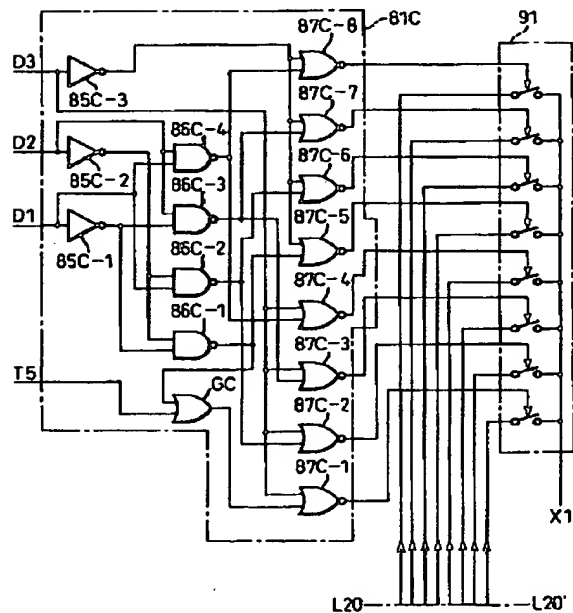
【図20】

【図17】

本発明の第2実施例の主要部を示す回路ブロック図（その2）

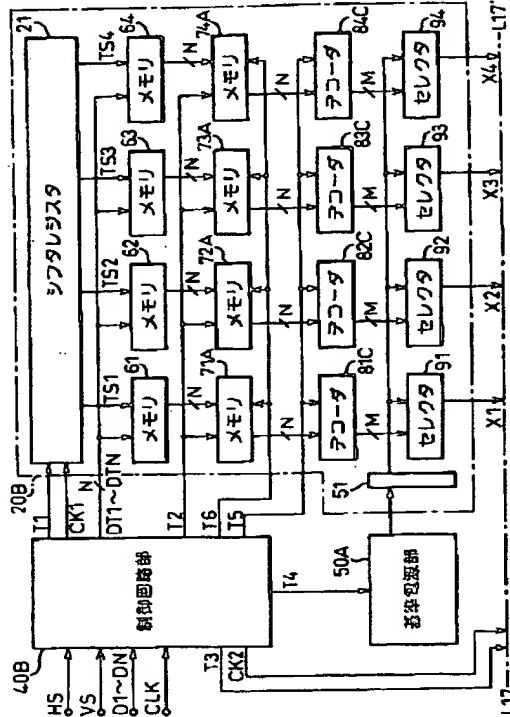


本発明の第3実施例の主要部を示す回路ブロック図（その1）



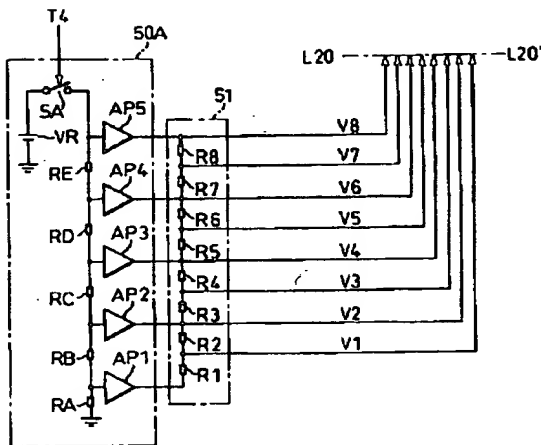
【図18】

本発明の第3実施例の構成を示す回路ブロック図（その1）



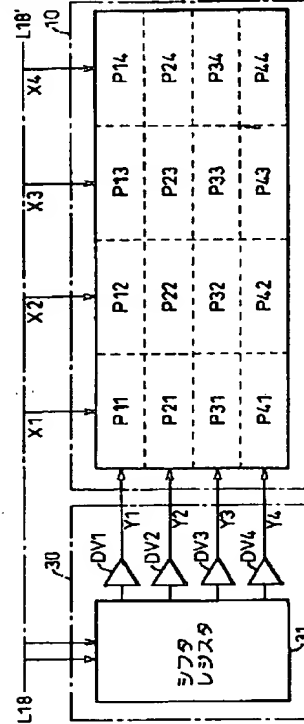
【図21】

本発明の第3実施例の主要部を示す回路ブロック図（その2）



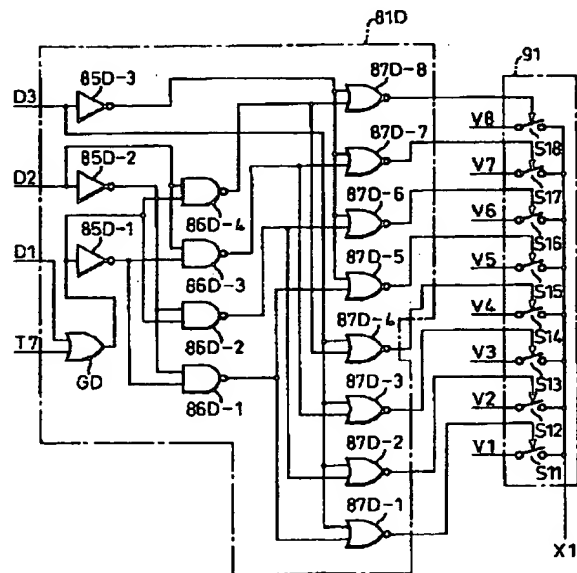
【図19】

本発明の第3実施例の構成を示す回路ブロック図（その2）



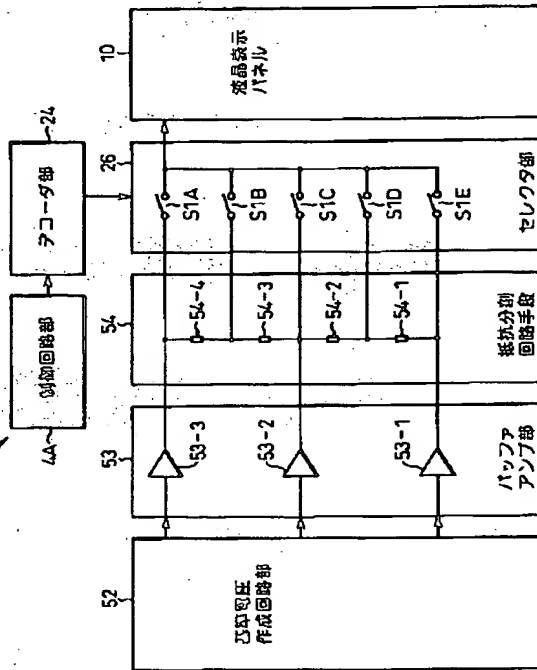
【図25】

本発明の第4実施例の主要部の第1例を示す回路ブロック図（その1）



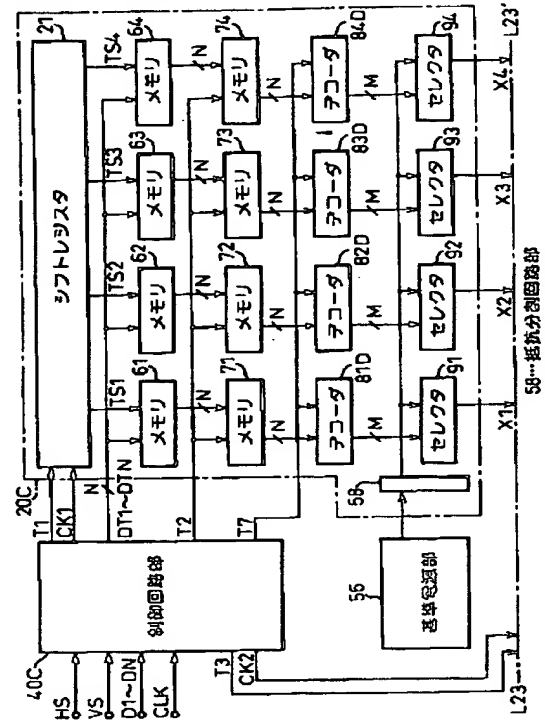
【図22】

本発明の第2の原理構成を示すブロック図



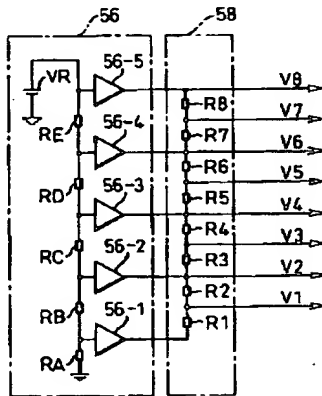
【図23】

本発明の第4実施例の構成を示す回路ブロック図（その1）



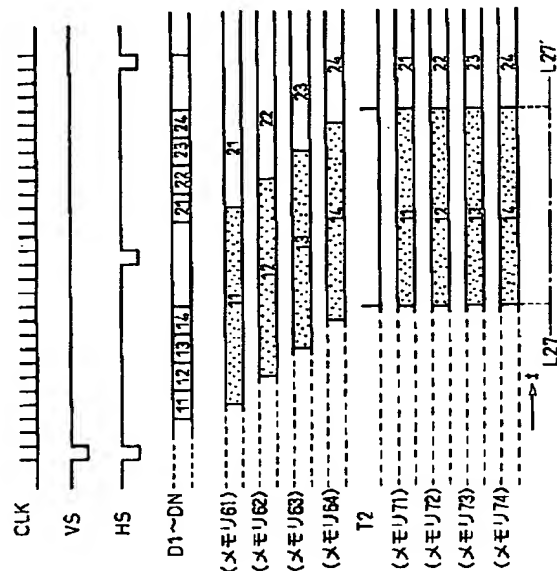
【図26】

本発明の第4実施例の主要部の第1例を示す回路ブロック図（その2）



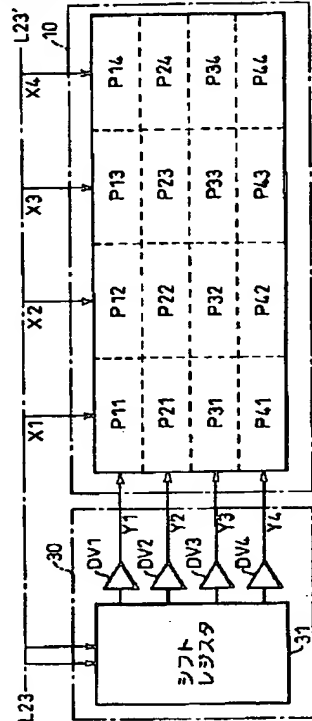
【図27】

本発明の第4実施例の動作を説明するためのタイミングチャート（その1）



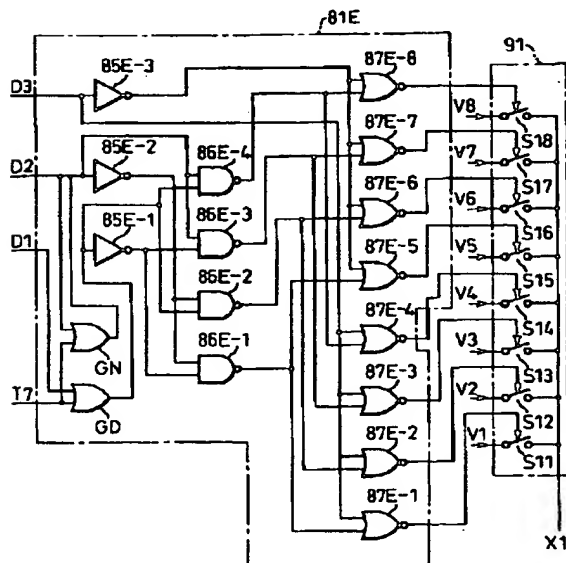
【図24】

本発明の第4実施例の構成を示す回路ブロック図（その2）



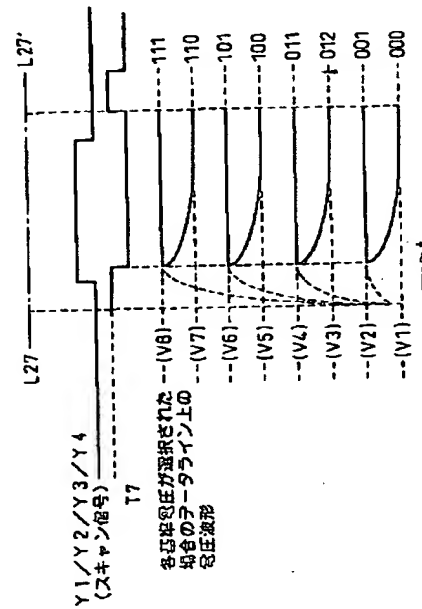
【図29】

本発明の第4実施例の主要部の第2例を示す回路ブロック図（その1）



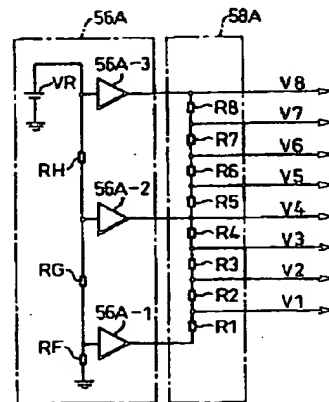
【図28】

本発明の第4実施例の動作を説明するためのタイミングチャート（その2）



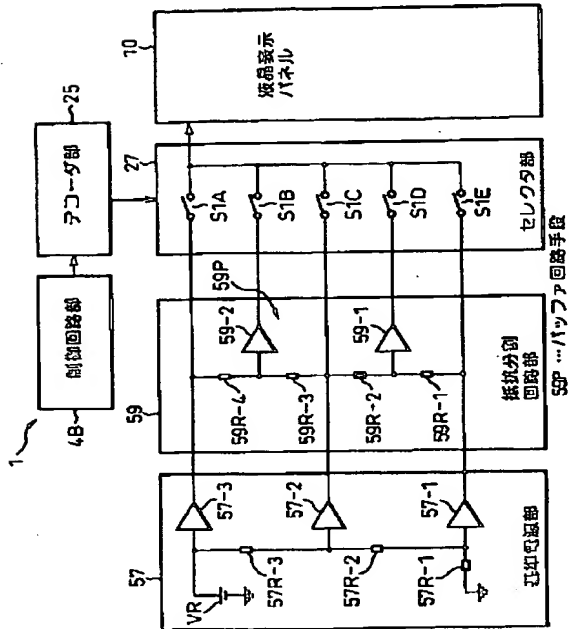
【図30】

本発明の第4実施例の主要部の第2例を示す回路ブロック図（その2）



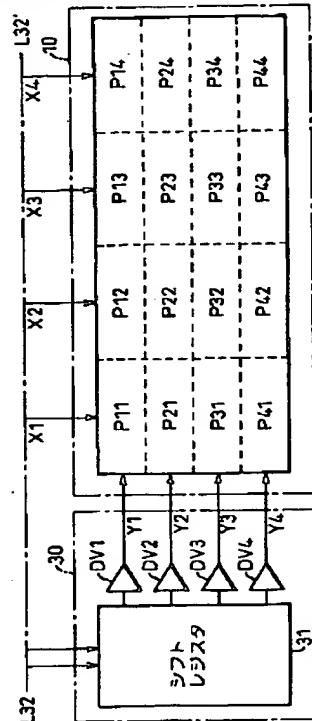
【図31】

本発明の第3の原理構成を示すブロック図



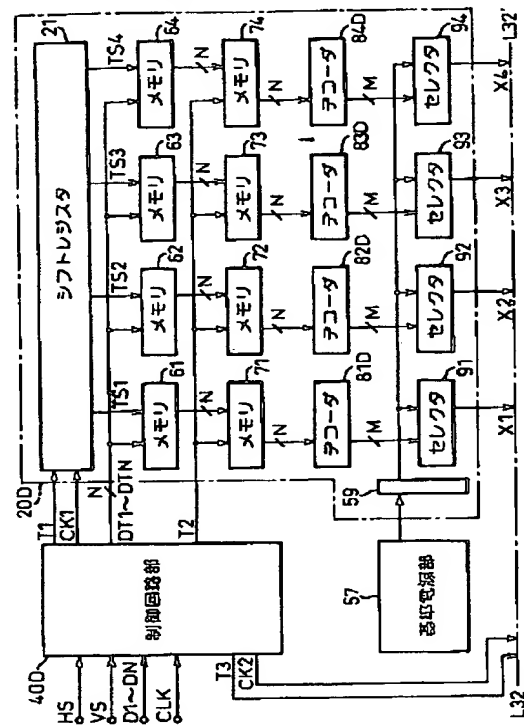
【図33】

本発明の第5実施例の構成を示す回路ブロック図（その2）



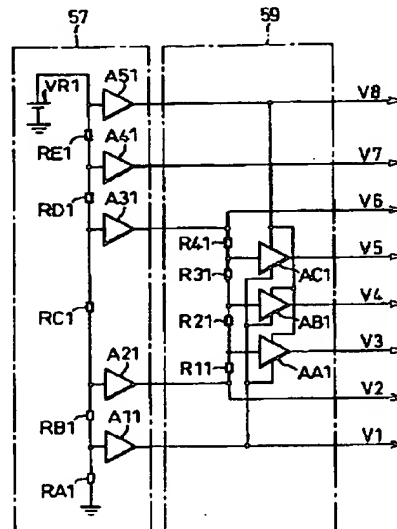
【図32】

本発明の第5実施例の構成を示す回路ブロック図（その1）



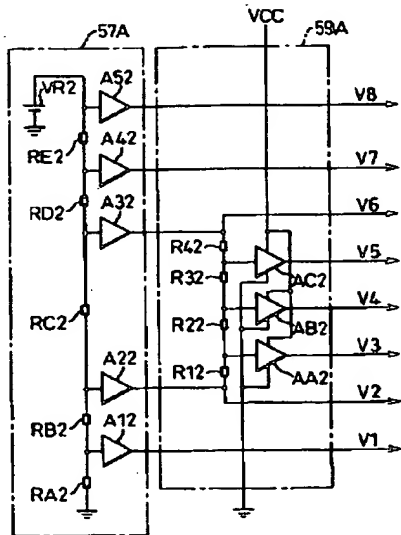
【図34】

本発明の第5実施例の主要部の第1例を示す回路ブロック図



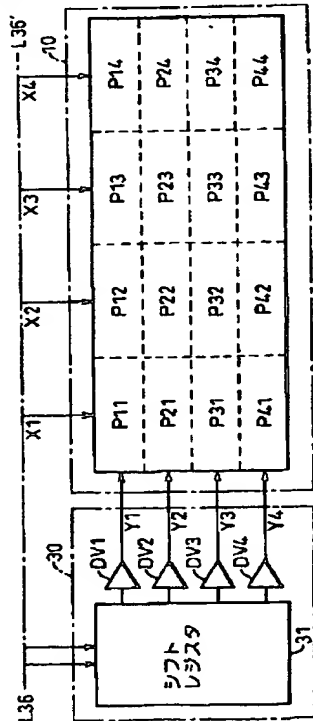
【図35】

本発明の第5実施例の主要部の第2例を示す回路ブロック図



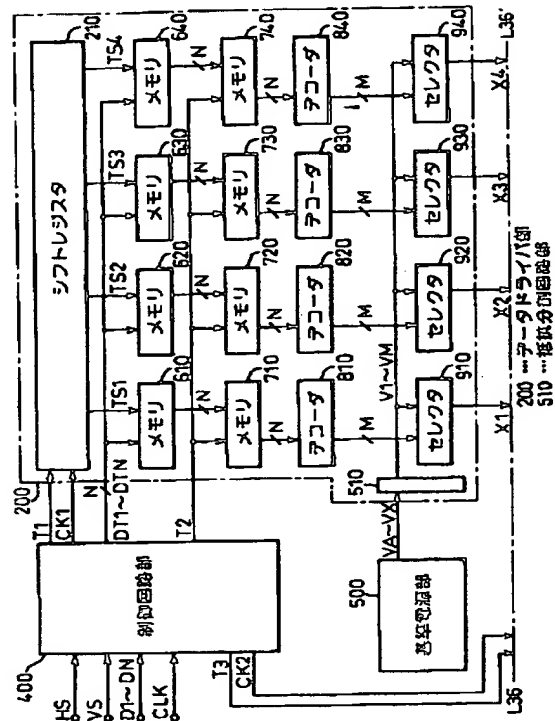
【図37】

従来の液晶表示装置の構成を示す回路ブロック図（その2）



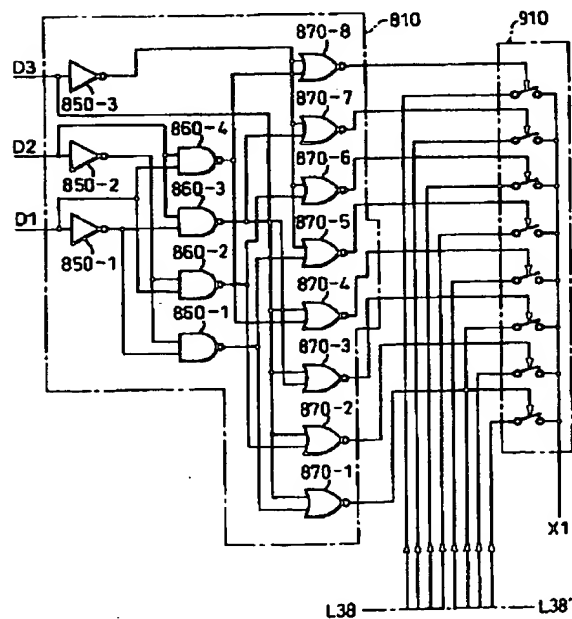
【図36】

従来の液晶表示装置の構成を示す回路ブロック図（その1）



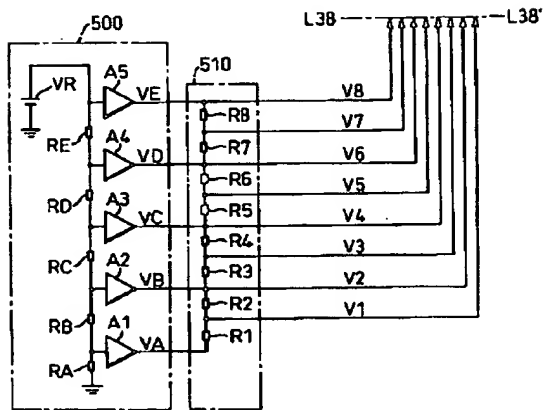
【図38】

従来の液晶表示装置の主要部を示す回路ブロック図（その1）



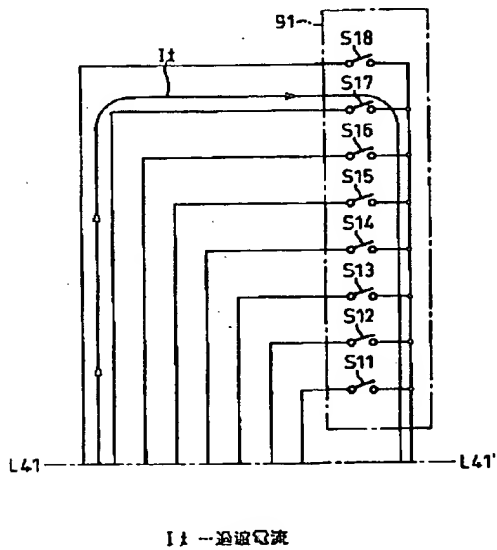
【図39】

従来の液晶表示装置の主要部を示す回路ブロック図（その2）



【図41】

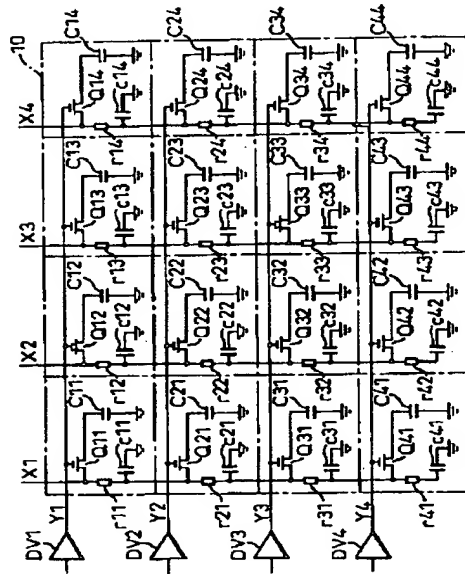
従来の液晶表示装置の回路回路の問題点を説明するための回路図（その1）



I1 一定電流

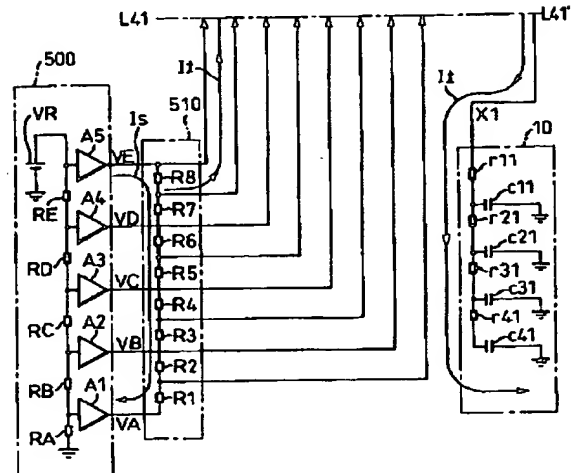
【図40】

図37の液晶表示パネルの詳細例を示す回路図



【図42】

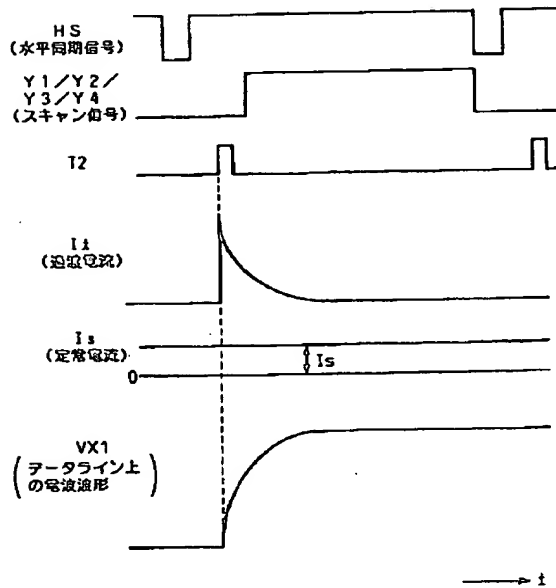
従来の液晶表示装置の回路回路の問題点を説明するための回路図（その2）



Is 一定電流

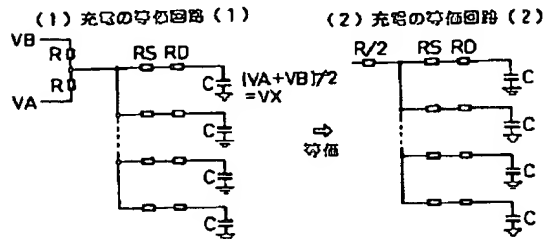
【図43】

従来の液晶表示装置の駆動回路の周回点を説明するための
タイミングチャート



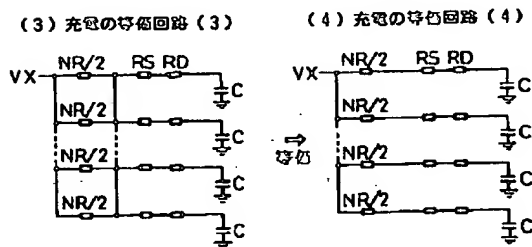
【図44】

従来方式の周回点をより詳細に説明するための等価回路図
(その1)



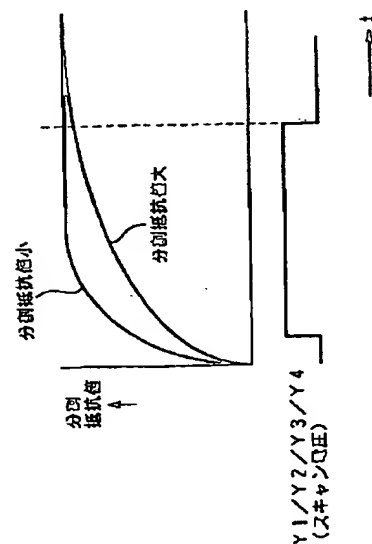
【図45】

従来方式の周回点をより詳細に説明するための等価回路図
(その2)



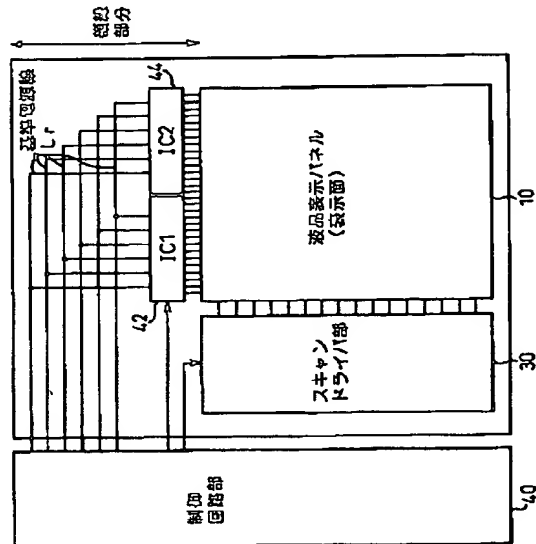
【図46】

従来方式の周回点をより詳細に説明するための
タイミングチャート



【図47】

一組の液晶表示装置における類似部分の構成を示すブロック図



【手続補正書】

【提出日】平成8年10月4日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 前記基準電圧選択手段(9)が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセレクタ(91～94)により構成され、
前記制御回路部(4)から出力される表示データを前記第1のバスラインの走査期間毎に表示するために、該表示データを一時的に保持する複数の記憶部と、
前記制御回路部(4)からの制御信号に基づいて該複数の記憶部から読み出される表示データを、前記第2のバスラインの各々に対応する表示データ信号に変換して該複数のセレクタ(91～94)に供給する複数のデコーダ(81A～84A)とが設けられ、
該複数のデコーダ(81A～84A)は、前記制御回路部(4)からの制御信号に基づいて該セレクタ(91～94)から前記第2のバスラインへ前記基準電圧を供給するか否かを制御する機能を有する請求項2記載の駆動回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正内容】

【請求項8】 前記基準電圧選択手段(9)が、前記駆動電圧に対応する基準電圧を選択して該第2のバスラインにそれぞれ供給する複数のセレクタ(91～94)により構成され、
前記制御回路部(4)から出力される表示データを前記第1のバスラインの走査期間毎に表示するために、該表示データを一時的に保持する複数の記憶部と、
該複数の記憶部から読み出される表示データを、前記第2のバスラインの各々に対応する表示データ信号に変換して該複数のセレクタ(91～94)に供給する複数のデコーダ(81A～84A)とが設けられ、
該複数のデコーダ(81A～84A)は、前記制御回路部(4)からの制御信号に基づいて該セレクタ(91～94)から前記第2のバスラインへ前記基準電圧を供給するか否かを制御する機能を有しており、
前記複数のデコーダ(81A～84A)から前記表示データ信号が出力された時点で、前記制御回路部(4)からの制御信号に基づいて前記複数の記憶部がリセットされる請求項2記載の駆動回路。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項12

【補正方法】変更

【補正内容】

【請求項12】 前記駆動回路が、さらに、

前記画素の走査のタイミング、および、前記の選択された画素への画像データ表示のタイミングを制御する制御回路部(4B)と、

前記制御回路部(4B)からの制御信号に基づき、前記制御回路部(4B)から送出される表示データを、前記第2のバスラインの各々に対応する表示データ信号に変換して前記セクタ部(27)に供給するデコーダ部(25)とを備え、

前記第1番目の期間では、前記制御回路部(4B)からの制御信号によって該デコーダ部(25)から前記セクタ部(27)への前記表示データ信号の供給を抑止し、前記第2番目の期間では、該デコーダ部(25)から前記セクタ部(27)への前記表示データ信号の供給を可能にする請求項11記載の駆動回路。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】従来の液晶表示装置の駆動回路において、特に問題となることは、抵抗分割回路部に定常的に流れる電流によって余分な電力消費が生ずることである。具体的には、図41および図42に示すように、抵抗分割回路部から液晶表示パネルへ流入する電流 I_t はデータライン(例えば、 $X1$)の分布容量 $c_{l1} \sim c_{d1}$ への充電を終えると、零となる過渡電流である。これに対し、基準電源部から抵抗分割回路部に供給される電流 I_s は定常電流であり、一定値のままである。これらの過渡電流 I_t と定常電流 I_s 、および、データライン $X1$ 上の電圧 V_{X1} (以後、単に V_X と称する)が、水平同期信号 HS や、スキャンバスライン $Y1 \sim Y4$ に供給されるスキャン信号や、書き込み制御信号 $T2$ に対して変化する様子を図43に示す。定常電流 I_s の電流値は、分割抵抗の分割抵抗値を大きくすれば、それに反比例して小さくすることができるが、上記の分割抵抗値を大きくした場合、図46に示すように、電圧充電の時定数が大きくなり、スキャンバスライン $Y1 \sim Y4$ にスキャン電圧が供給される期間内に、正確な階調電圧を液晶容量に書き込むことができなくなる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】さらに、図1の駆動回路においては、基準

電圧選択制御手段7は、基準電圧選択手段9に対し直列に設けられている。また一方で、図1の駆動回路においては、基準電圧選択制御手段7'は、基準電圧選択手段9に対し並列に設けられている。この基準電圧選択制御手段7'は、上記の基準電圧選択制御手段7と等価な機能を有している。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】さらに、図1および図2においては、第1のバスラインの1ライン毎に画素を走査するための電圧を供給するスキャンバスライン駆動部3が設けられている。このスキャンバスライン駆動部3による1ライン毎の走査のタイミングは、制御回路部4からの制御信号 S_{cy} によって決定される。さらに、好ましくは、上記基準電圧選択制御手段7(または7')は、上記駆動電圧に対応する基準電圧を選択して第2のバスラインにそれぞれ供給する複数のセクタにより構成される。さらに、上記基準電圧選択制御手段7は、これらのセクタと第2のバスラインとの間に設けられ、かつ、制御回路部4からの制御信号に基づいて上記セクタ91~94から第2のバスラインへ基準電圧を供給する可否かを制御する複数のスイッチ素子により構成される。さらにまた、上記供給電源制御手段6は、供給電源Eの電源端子側に接続され、かつ、制御回路部4からの制御信号に基づいて供給電源Eから複数の分割抵抗へ電圧を供給する可否かを制御するスイッチ素子により構成される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】さらに、好ましくは、本発明の駆動回路では、制御回路部4から出力される表示データを第1のバスラインの走査期間毎に表示するために、この表示データを一時的に保持する複数の記憶部と、制御回路部4からの制御信号に基づいて上記複数の記憶部から読み出される表示データを、上記第2のバスラインの各々に対応する表示データ信号に変換して複数のセクタに供給する複数のデコーダとが設けられている。さらに、これらの複数のデコーダは、制御回路部4からの制御信号に基づいて上記セクタから第2のバスラインへ基準電圧を供給する可否かを制御する機能を有している。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】また一方で、図22および図31に基づき、本発明の第2の原理および第3の原理を説明することとする。図22に示すように、本発明の第2の原理による液晶表示装置1の駆動回路は、任意の供給電源を複数の分割抵抗により分圧することによって複数の第1の基準電圧を作成する基準電圧作成回路部52と、この基準電圧作成回路部52から出力される複数の第1の基準電圧をさらに分圧し（例えば、複数の分割抵抗54-1～54-4等により分圧し）、すべての大きさの駆動電圧を含む複数の第2の基準電圧を生成する抵抗分割回路手段54と、この抵抗分割回路手段54から出力される複数の第2の基準電圧から、所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を選択して第2のバスラインに供給する複数のアナログスイッチS1A～S1Eを含むセクタ部26と、上記基準電圧作成回路部52と上記抵抗分割回路手段54との間に配置される複数のバッファアンプ（すなわち、ドライバユニット）53-1～53-3から構成されるバッファアンプ部53とを備えており、第2のバスラインに上記第2の基準電圧を印加する期間を少なくとも2つの期間に分け、第1番目の期間では、上記バッファアンプ部53内の複数のバッファアンプをそれぞれ通した出力電圧を第2のバスラインに供給し、第2番目の期間では、上記所定の画像データを表示するための駆動電圧に対応する第2の基準電圧を第2のバスラインに供給するようにしている。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】さらに、好ましくは、本発明の第3の原理による駆動回路は、複数の画素の走査のタイミング、および、上記の選択された画素への画像データ表示のタイミングを制御する制御回路部4Bと、この制御回路部4Bからの制御信号に基づき、上記制御回路部4Bから送出される表示データを、第2のバスラインの各々に対応する表示データ信号に変換して上記セクタ部27に供給するデコーダ部25とを備えており、上記第1番目の期間では、上記制御回路部4Bからの制御信号によって上記デコーダ部25から上記セクタ部27への表示データ信号の供給を抑止し、上記第2番目の期間では、上記デコーダ部25から上記セクタ部27への表示データ信号の供給を可能にする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正内容】

【0063】

【実施例】以下添付図面（図5～図35）を用いて本発明の好ましい実施例を詳細に説明する。図5および図6は、本発明の第1実施例の構成を示す回路ブロック図

（その1およびその2）であり、図7および図8は、本発明の第1実施例における基準電源部の第1例を示す回路ブロック図（その1およびその2）である。図5および図6に示す本発明の第1実施例は、図1の本発明の第1の原理に基づく第1番目の実施例に相当する。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0084

【補正方法】変更

【補正内容】

【0084】図20および図21には、本発明の第3実施例の主要部として、デコーダ81C、セクタ91、基準電源部50Aおよび抵抗分割回路部51が示されている。本発明の第3実施例では、制御回路40Bからのタイミング信号T5によってセクタ91～94内のすべてのスイッチをオフにする機能を持たせる。具体的には、デコーダ81C内にゲート回路素子（OR素子）GCを新たに組み入れることにより、タイミング信号T5によりデコーダ81Cのデコード出力を停止させるような構成になっている。

【手続補正12】

【補正対象書類名】図面

【補正対象項目名】図43

【補正方法】変更

【補正内容】

【図43】

従来の液晶表示装置の駆動回路の時間点を説明するためのタイミングチャート

